

Contadores

Técnicas Digitales 2020

Contadores

Contador digital:

Es todo circuito o dispositivo que genera una serie de combinaciones a sus salidas sincronizadas por una señal de reloj externa.

Clasificaciones:

Según el comportamiento con la señal de reloj:

- Contadores asincrónicos.

- Contadores sincrónicos.

Según el formato de salida del conteo:

- Binario.

- BCD (Decimal Codificado en Binario)

- Arbitrario.

Según sentido de conteo:

- Conteo ascendente ó progresivo.

- Conteo descendente ó regresivo.

CONTADOR ASINCRÓNICO:

Formado en principio por Flip-Flops y lógica combinatoria adicional. Se llaman así ya que la señal externa de reloj en general se conecta a la entrada de un solo Flip-flop y se propaga luego internamente. La ventaja es su sencillez. Su principal desventaja es su limitada velocidad de respuesta que depende fuertemente de la cantidad de bits que maneje.

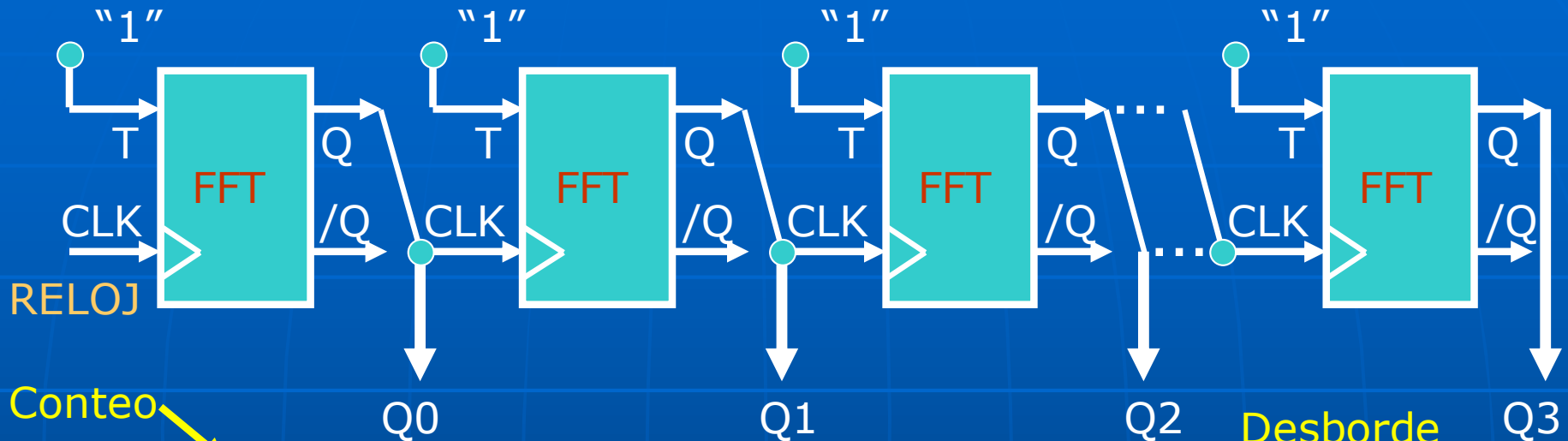
CONTADOR SINCRÓNICO:

Formado en principio por Flip-Flops y lógica combinatoria adicional. Se llaman así ya que la señal externa de reloj en general se conecta a las entradas de reloj de todos los Flip-flop simultáneamente. La ventaja es su mayor velocidad de respuesta respecto al asincrónico. Su relativa desventaja es su mayor complejidad circuital y consumo de energía.

En diseño lógico, salvo algunas excepciones, **se utilizan los contadores sincrónicos** ya que esto permite además de la velocidad un mejor control en la propagación de retardos a otros dispositivos.

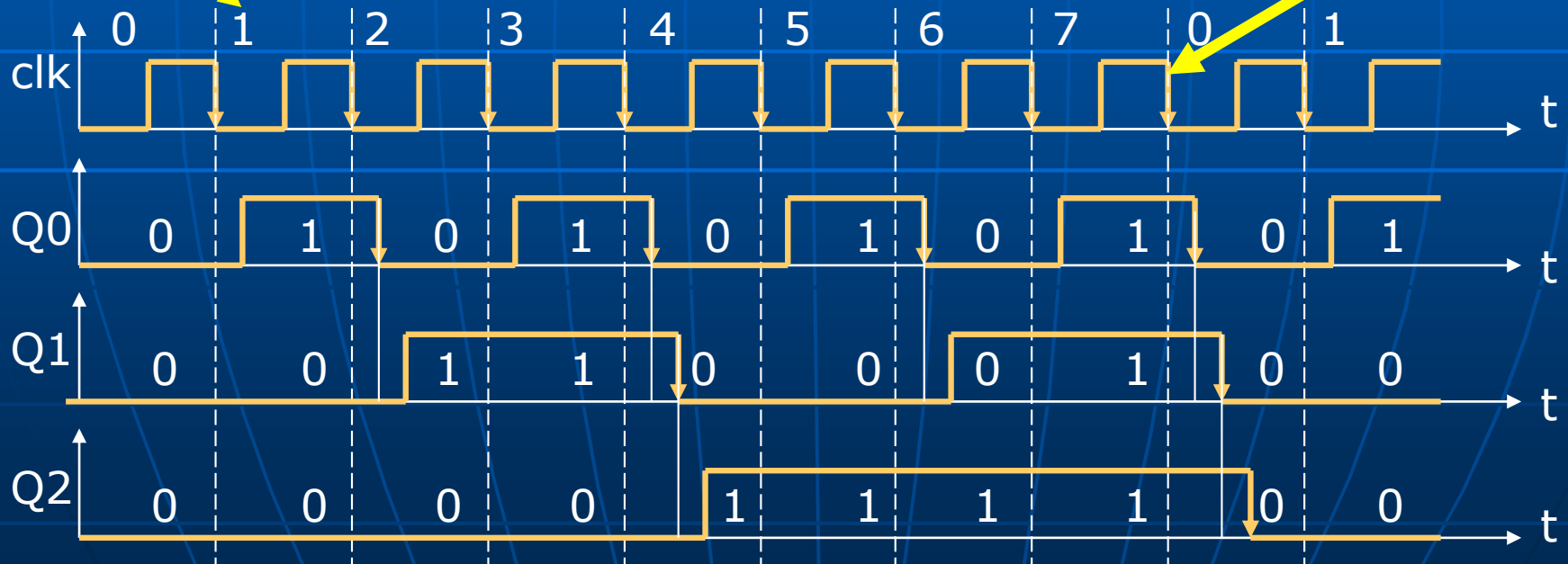
Contador asincrónico binario progresivo

FFT es disparado por flanco descendente



Conteo

Desborde



Contador asincrónico binario progresivo

Dado que la señal de reloj de cada FF se obtiene de la salida del FF anterior existe una cadena de retardos en las respuestas.

El primer FF es que reacciona mas rápido al cambio del CLK y así sucesivamente por lo que el último FF es el que define la velocidad de respuesta del contador.

A mayor número de bits, mayor retardo.

Los peores casos son para los conteos en donde cambia el FF mas significativo (el último).

Existen los denominados códigos inválidos que son valores en las salidas que están todavía en transición.

Por ejemplo en el pasaje de conteo de 3 a 4 y de 7 a 8, Q2 cambia y se generan las respuestas más lentas (3 retardos de FF).

Contador asincrónico binario progresivo

Velocidad de respuesta:

Haciendo la suposición que todos los FFs tienen el mismo tiempo de retardo $tpd(CLK \rightarrow Q)$ podemos expresar la máxima frecuencia de operación como:

$$Frec.clk (máx) = \frac{1}{N \bullet tpd(CLK \rightarrow Q)}$$

donde: N es el número de bits del contador

Tiempo de skew (skew time):

Está definido como la diferencia entre el tiempo de retardo mas lento y el mas rápido.

Para este caso en un contador de N bits de Q0 a Q(n-1) tendremos que:

$$t_{SKEW} = tpd [CLK \rightarrow Q(n-1)] - tpd [(CLK \rightarrow Q(0))]$$

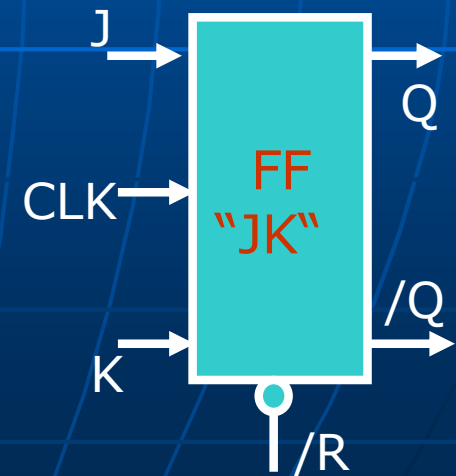
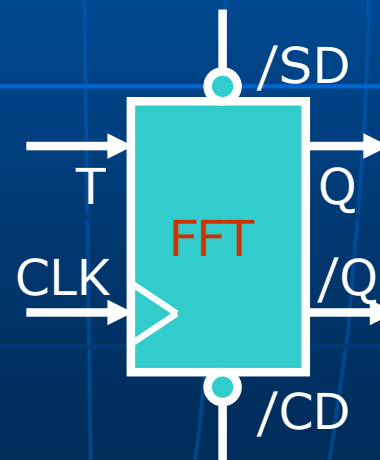
Contador asincrónico de número binario arbitrario progresivo

Los contadores binarios tienen desborde en 2^n por lo que pueden contar sólo hasta $2^n - 1$.

CLK	Q_2	Q_1	Q_0
↓	0	0	0
↓	0	0	1
↓	0	1	0
↓	0	1	1
↓	1	0	0
↓	1	0	1
↓	1	1	0
↓	1	1	1

En el ejemplo tenemos $N = 3$ donde podemos contar de 0 a 7.

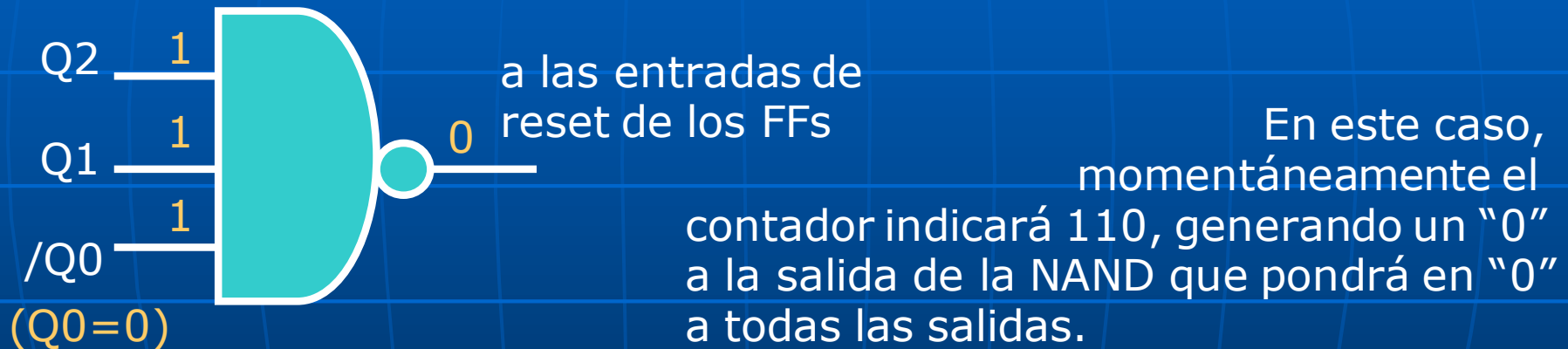
Para poder contar hasta un número diferente menor a 7 se puede emplear FF tipo "T" (ó "JK" con las entradas en "1") que tengan la posibilidad de reset asincrónico (ej. el 74HC107)



Contador asincrónico de número binario arbitrario progresivo

Con lógica combinatoria apropiada se puede hacer que al llegar al conteo deseado, la misma genere una señal que actúe sobre todos los FFs y de este modo los "resetea" (ponga a "0") volviendo a empezar el ciclo de conteo nuevamente.

EJEMPLO: Implementar contador hasta 5.



Contador asincrónico binario regresivo

Se emplea el mismo circuito del progresivo con la diferencia que se deben conectar cada salida $/Q$ a la entrada de reloj del FF siguiente mientras que el conteo se sigue tomando de las salidas Q .

Los contadores sincrónicos (salvo algunas pocas excepciones) se caracterizan por emplear FFs para su diseño, donde las entradas de reloj de cada uno están conectadas a una **única fuente de reloj externa**.

De esta manera se garantiza que todos los elementos de memoria involucrados actúen simultáneamente lo que predispone al circuito a un mejor comportamiento en lo que a cadena de retardo se refiere. La gran ventaja de esta estructura es la de poder obtener mayor velocidad que con los asincrónicos ya que se elimina la cadena de retardos como en ese caso.

Tipos de contadores mas conocidos:

- > Basados en arreglos de FFs y compuertas (Binario, BCD).
- > Basados en registros de desplazamiento (Johnson, anillo).

NOTA:

El diseño de contadores sincrónicos emplea por ejemplo técnicas de diagrama de estados a fin de dar flexibilidad al diseñador.

Como todavía no se ha dado ese tema se empleará un método heurístico para el diseño de un contador binario progresivo basado en la inspección de las formas de onda que deben generarse.

DISEÑO DE CONTADOR BINARIO PROGRESIVO DE 3 BITS

CLK	Q ₂	Q ₁	Q ₀
↓	0	0	0
↓	0	0	1
↓	0	1	0
↓	0	1	1
↓	1	0	0
↓	1	0	1
↓	1	1	0
↓	1	1	1



Inspeccionando la tabla de verdad de este contador se puede observar que existe una forma particular en que cambian las salidas. Q₀ pasa de 0 a 1 en forma continua incluso luego de un desborde en cada ciclo de clk. Q₁ hace lo mismo pero cada 2 ciclos. Q₂ cada 4 ciclos de reloj.

Podemos pensar entonces en usar 3 FFs, uno para cada salida (FF₀, FF₁ y FF₂). Para generar la salida Q₀ podemos simplemente utilizar un FF₀ tipo T con "T=1" ó un JK con ambas entradas a "1".

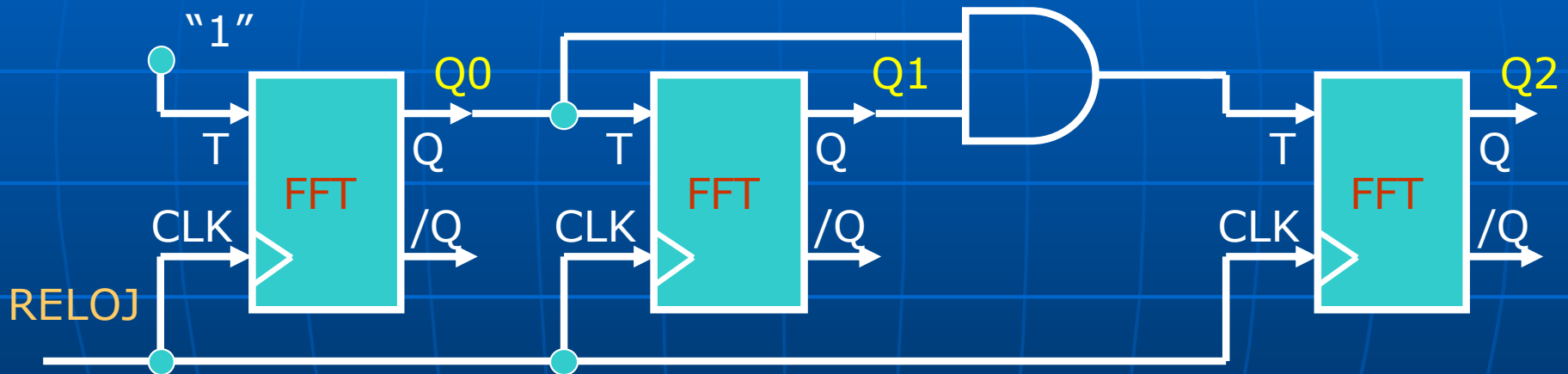
Generar la señal de Q₁ con otro FF "T" requiere que en la entrada de FF₁ haya en forma periódica cada 2 ciclos de reloj un "1" cosa que se puede lograr si se observa la salida de Q₀.

DISEÑO DE CONTADOR BINARIO PROGRESIVO DE 3 BITS

Q1 entonces se puede obtener entrando en "T" del FF1 con la señal de Q0.

Q2 requiere un cambio de estado cada 4 ciclos de reloj. Inspeccionando nuevamente la tabla esto se puede lograr cada vez que Q1 y Q0 sean "1".

El circuito queda entonces de la siguiente manera:



NOTA: En forma general para sintetizar un contador síncronico binario progresivo de mas bits se deben alimentar a las entradas de los FFs siguientes con la AND de todas las salidas de los FFs anteriores. Por ejemplo hay que hacer la AND entre Q0, Q1 y Q2 para alimentar la entrada del FF3 y así siguiendo....**CUALES EL PROBLEMA CON ESTO...???**

Cálculo de la velocidad de respuesta:

Sin importar el número de bits que tenga el contador binario anterior podemos calcular la velocidad de respuesta en forma similar a lo hecho con el ejemplo del diseño del FF "JK" basado en un MUX y un FF tipo "D" visto en la clase de Flip-Flops.

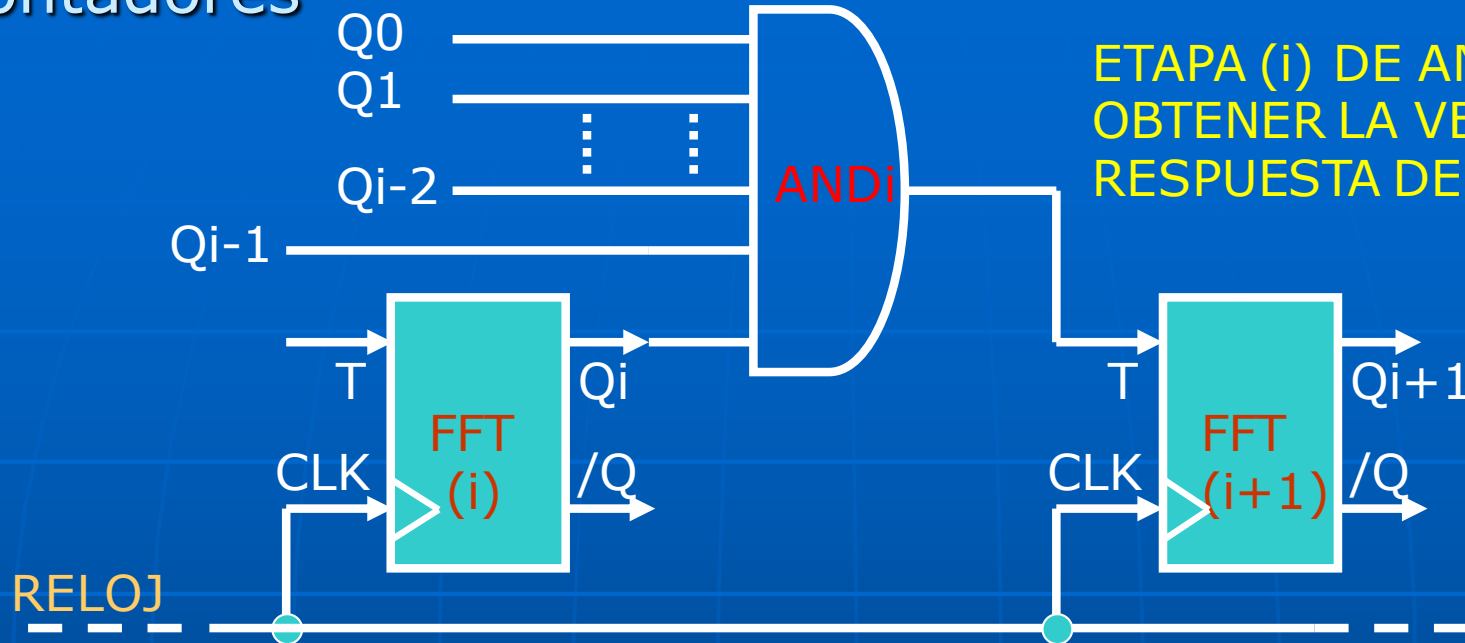
Analizando la figura del contador anterior se puede observar que todas las salidas de los FFs cambian en el mismo instante.

Esto genera en el FF siguiente que su entrada estará estable recién después de un dado tiempo de retardo en que reaccione la compuerta AND precedente (salvo el FF0 y FF1 que no tienen compuerta).

Por lo tanto la velocidad de respuesta está definida por la suma de los retardos: $tpd(CLK \rightarrow Q) + tpd(AND) + t(set-up)$ ya que antes del próximo flanco de reloj que venga, la entrada de cada FF debe estar estable y esto implica que debe ocurrir un $t(set-up)$ previo a dicho Flanco de CLK.

Contadores

CONTADORES SINCRÓNICOS



ETAPA (i) DE ANÁLISIS PARA OBTENER LA VELOCIDAD DE RESPUESTA DEL CONTADOR.

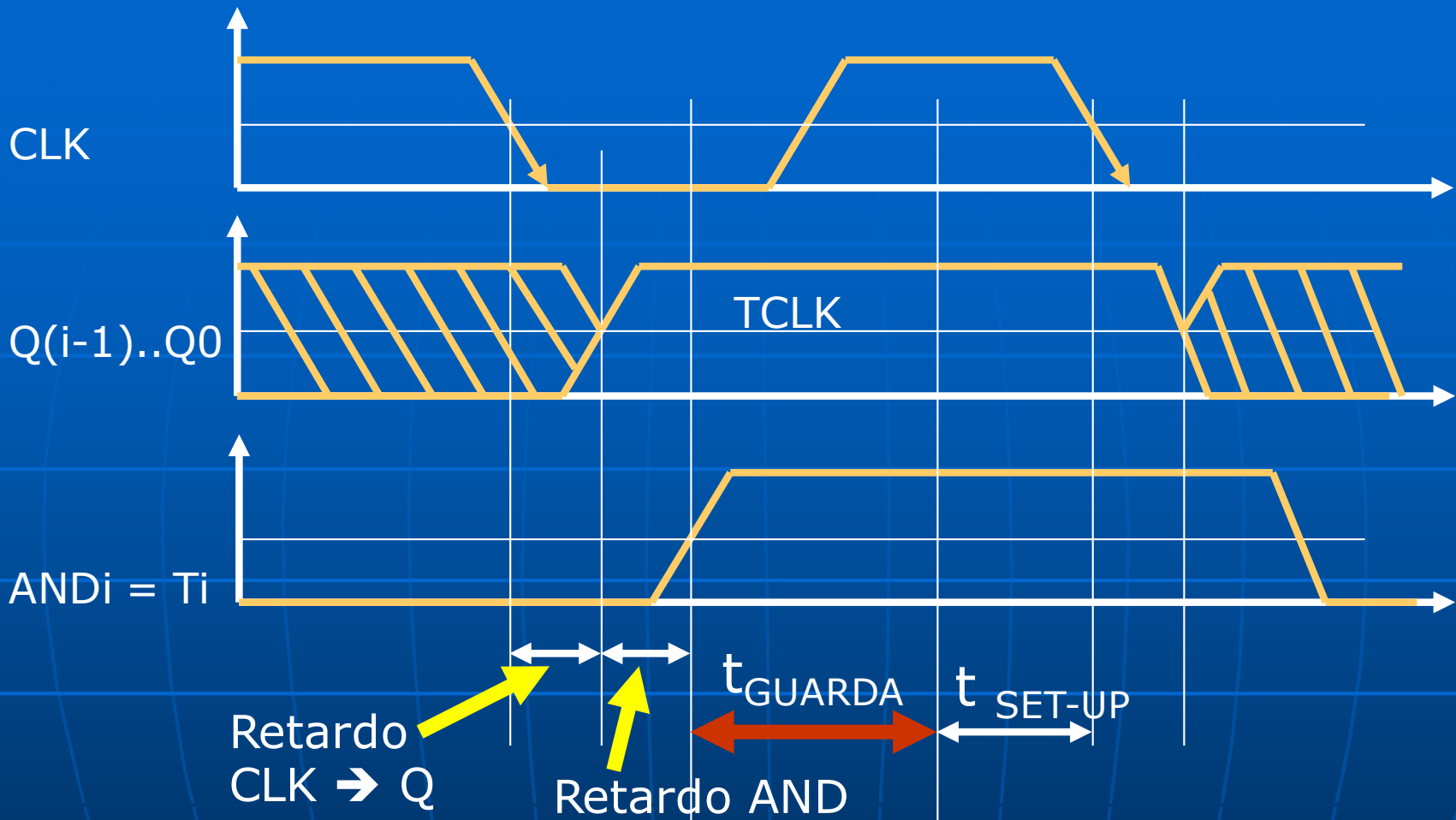
La entrada T del FF(i+1) debe estar estable antes del próximo flanco de reloj. Eso implica que desde el flanco anterior deberían haberse sucedido los retardos correspondientes con un valor total que dicha entrada sea estable al menos un tiempo de "set-up" antes del arribo de ese nuevo flanco.

Para que el FF(i+1) cambie, debe recibir un "1" en su entrada. Eso quiere decir que todos los Q anteriores deben ser "1".

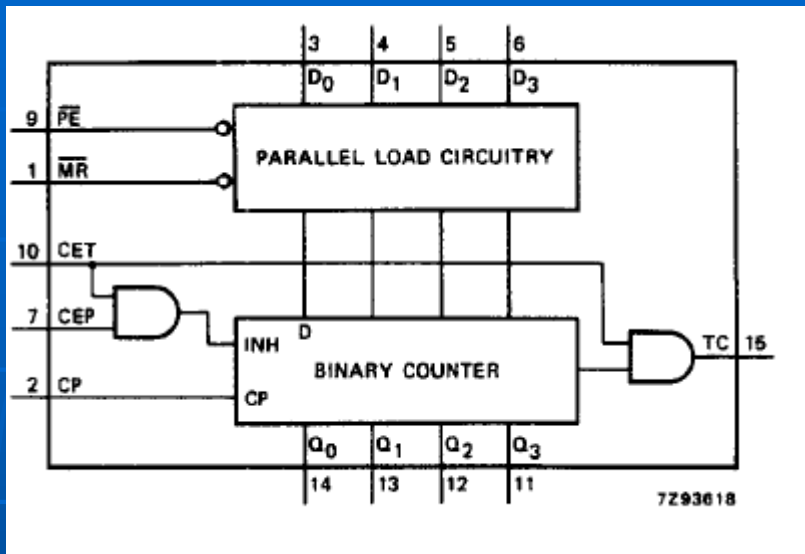
La cadena de retardo que se sucede es: 1) cambio de los Q al detectar un flanco, 2) cambio de la compuerta ANDi al recibir todos los Q en "1". Todo esto en un tiempo igual o menor que $T_{clk} - t(\text{set-up})$

Contadores

CONTADORES SINCRÓNICOS



$$\text{Frec. CLK (máx)} = \frac{1}{t_{pd}(\text{CLK} \rightarrow Q) + t_{SET-UP} + t_{pd_{AND}}} \quad (t_{GUARDA} = 0)$$



74HC/HCT163

Presettable synchronous 4-bit binary counter; synchronous reset

Contador binario síncrono progresivo de 4 bits con salidas "Q[3...0]".
Entrada para carga síncrona de datos de 4 bits en paralelo para conteo desde un número preestablecido "/PE".
Salida auxiliar "TC" para indicación de "cuenta máxima alcanzada".
Entrada de reset general síncrona con reloj "/MR".
Entrada de habilitación de pulsos de reloj "CEP".
Entrada de habilitación auxiliar para control de cascada de contadores "CET".

FUNCTION TABLE

OPERATING MODE	INPUTS						OUTPUTS	
	$\overline{MR}$	CP	CEP	CET	$\overline{PE}$	D_n	Q_n	TC
reset (clear)	L	$\uparrow$	X	X	X	X	L	L
parallel load	h	$\uparrow$	X	X	L	L	L	L
	h	$\uparrow$	X	X	L	h	H	(1)
count	h	$\uparrow$	h	h	h	X	count	(1)
hold (do nothing)	h	X	L	X	h	X	q_n	(1)
	h	X	X	L	h	X	q_n	L

Notes

- The TC output is HIGH when CET is HIGH and the counter is at terminal count (HHHH).
 H = HIGH voltage level
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
 L = LOW voltage level
 L = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
 q = lower case letters indicate the state of the referenced output one set-up time prior to the LOW-to-HIGH CP transition
 X = don't care
 $\uparrow$ = LOW-to-HIGH CP transition

Contadores

EJEMPLO CONTADOR 74HC163

CONTADORES SINCRÓNICOS

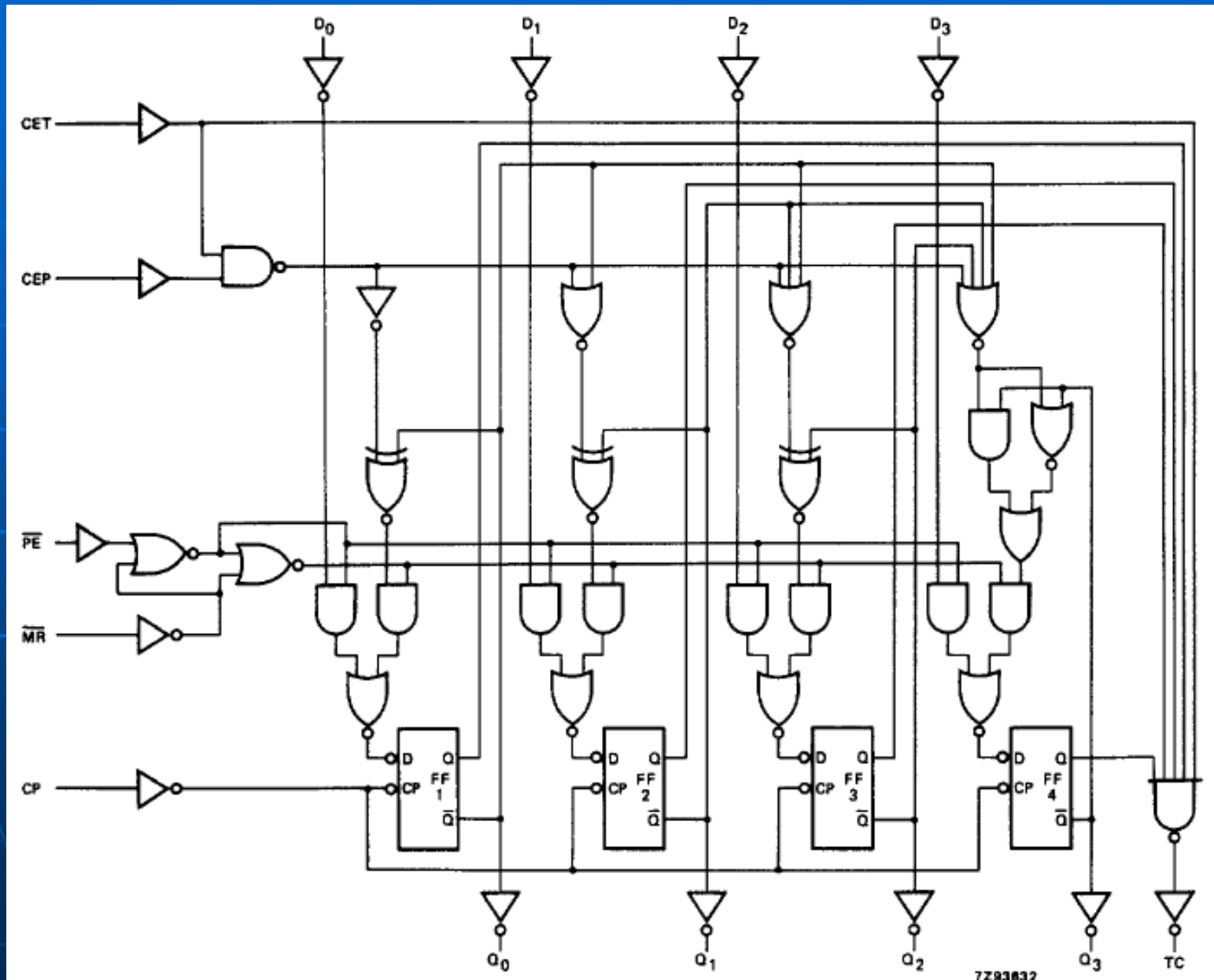


Diagrama temporal de comportamiento de las salidas respecto de la señal de reloj (dispara por flanco ascendente)

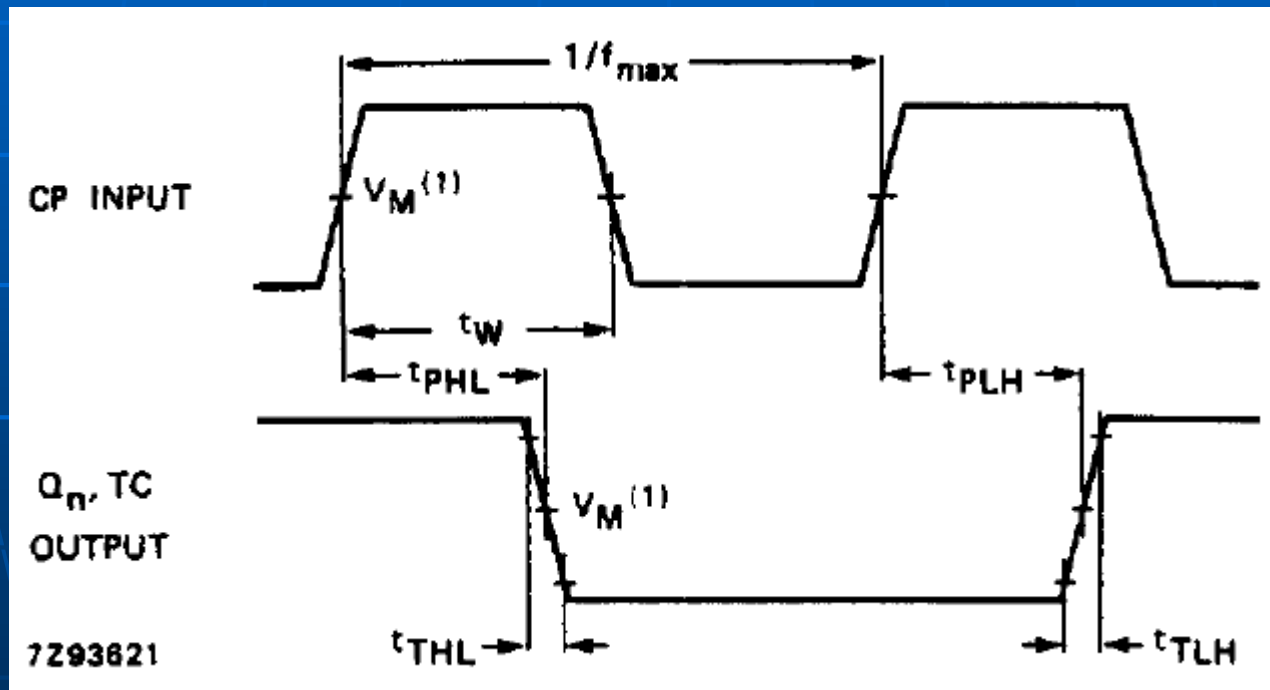


Diagrama temporal de comportamiento de la salida TC respecto de la señal CET cuando $Q[3..0] = 1111$ y $CEP = "1"$

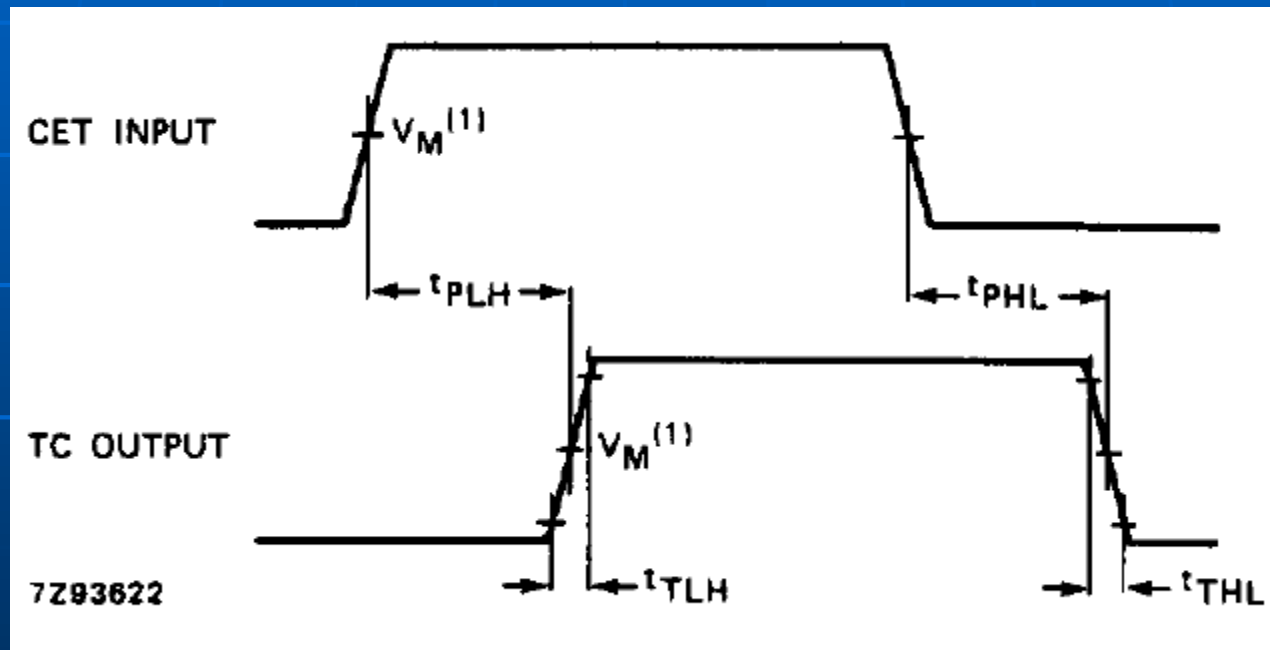


Diagrama temporal de comportamiento de las entradas de carga paralelo respecto de la señal de reloj CP y la entrada de control de carga /PE.

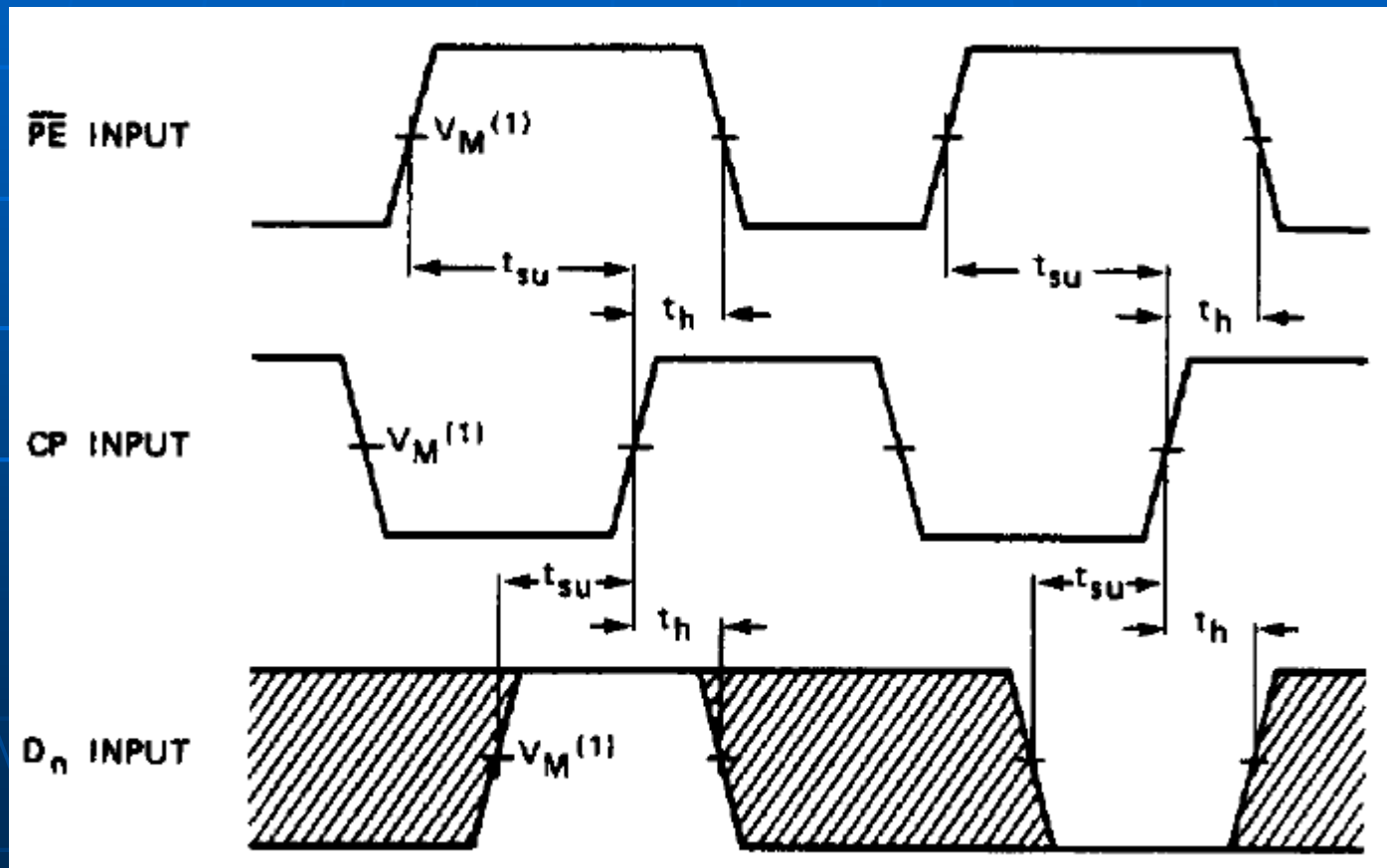


Diagrama temporal de coordinación temporal que debe tener la entrada de reset respecto de la señal de reloj CP.

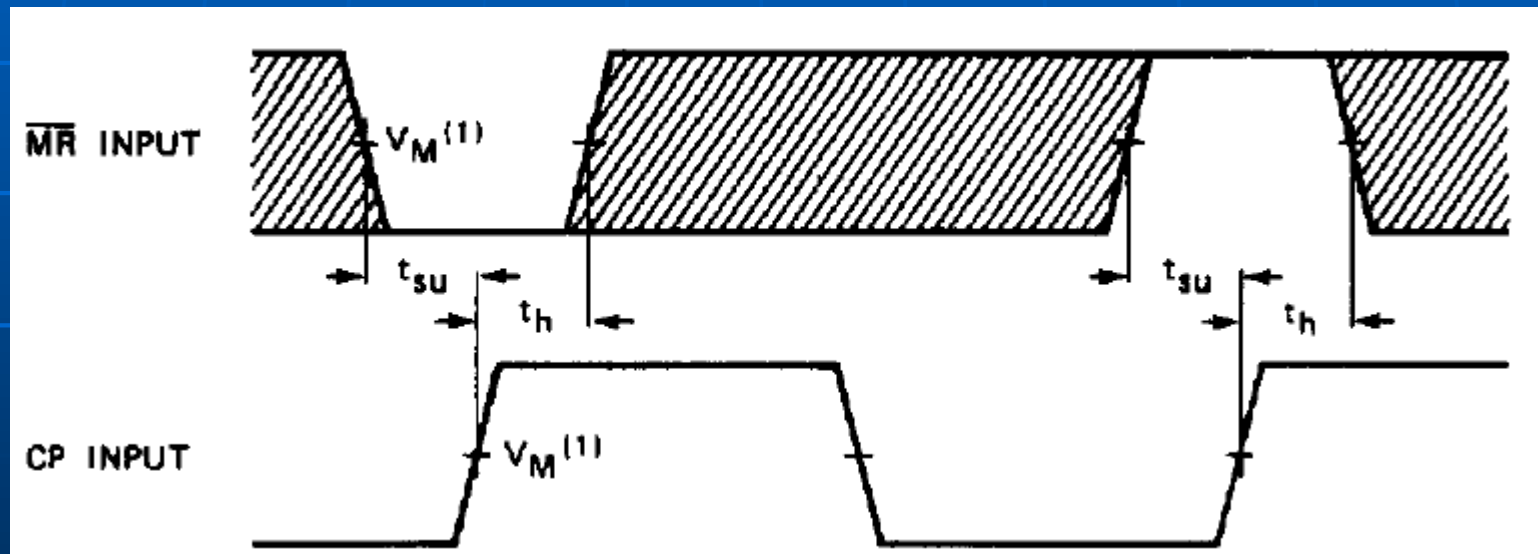
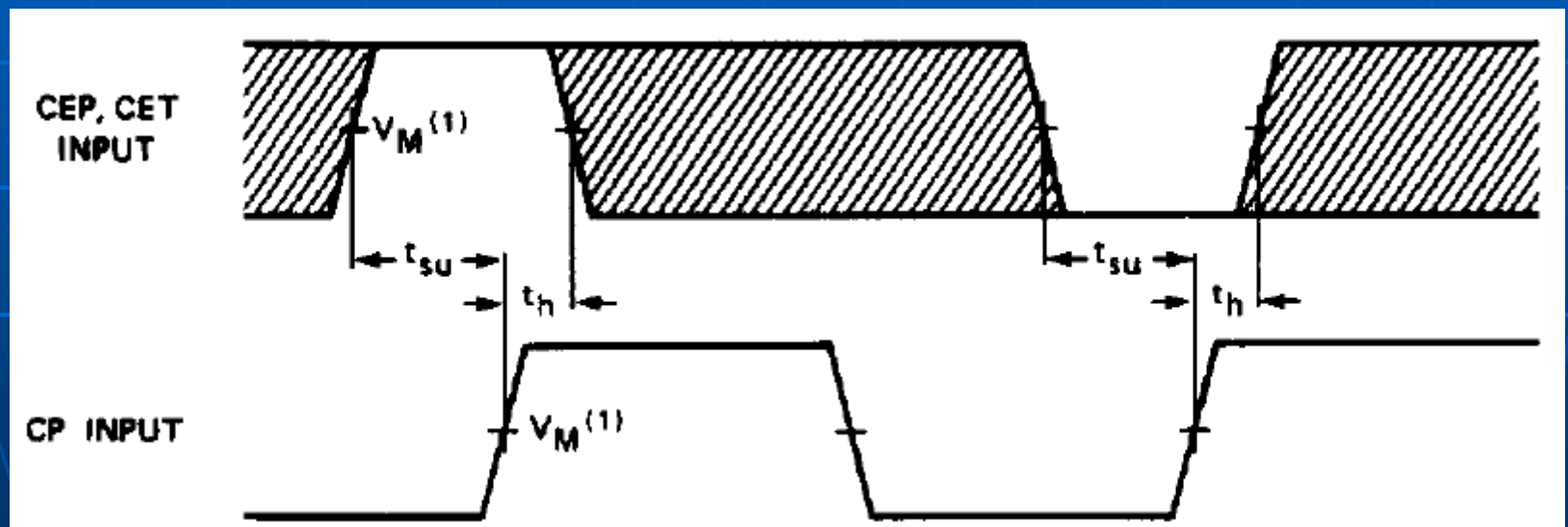
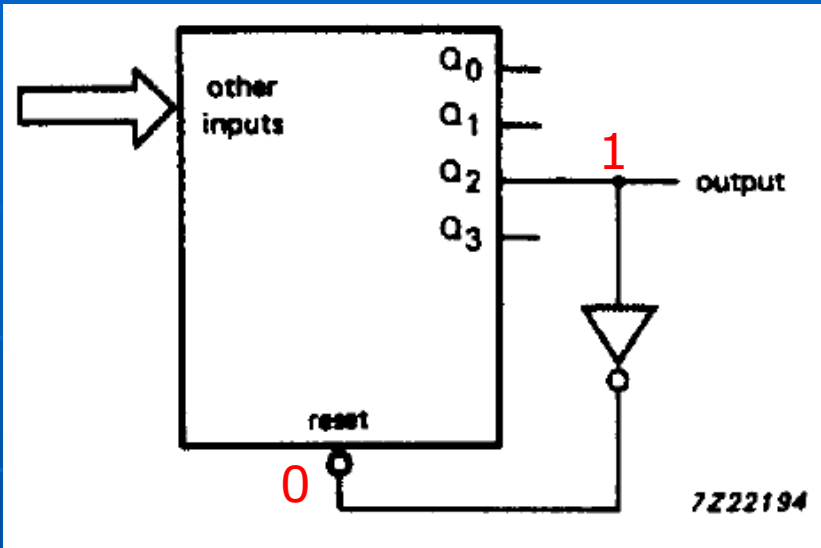
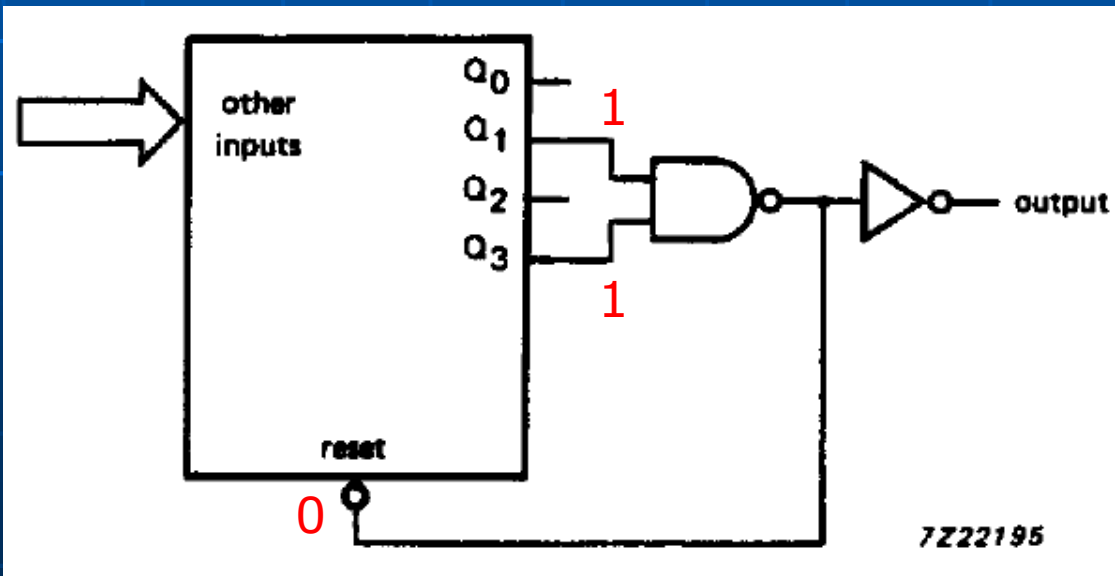


Diagrama temporal de coordinación temporal que deben tener la entradas CET y CEP respecto de la señal de reloj CP.



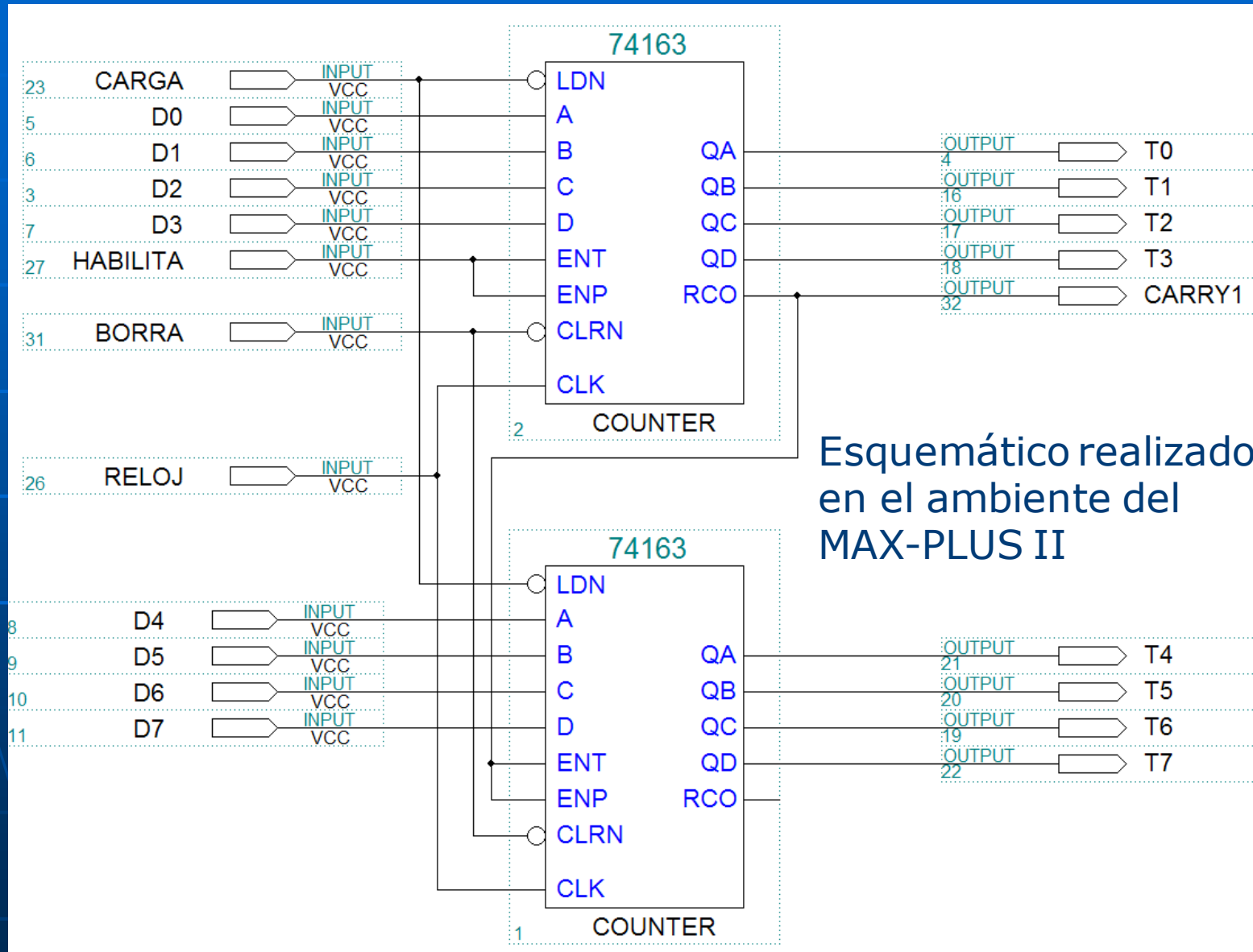


CONTADOR MÓDULO 5



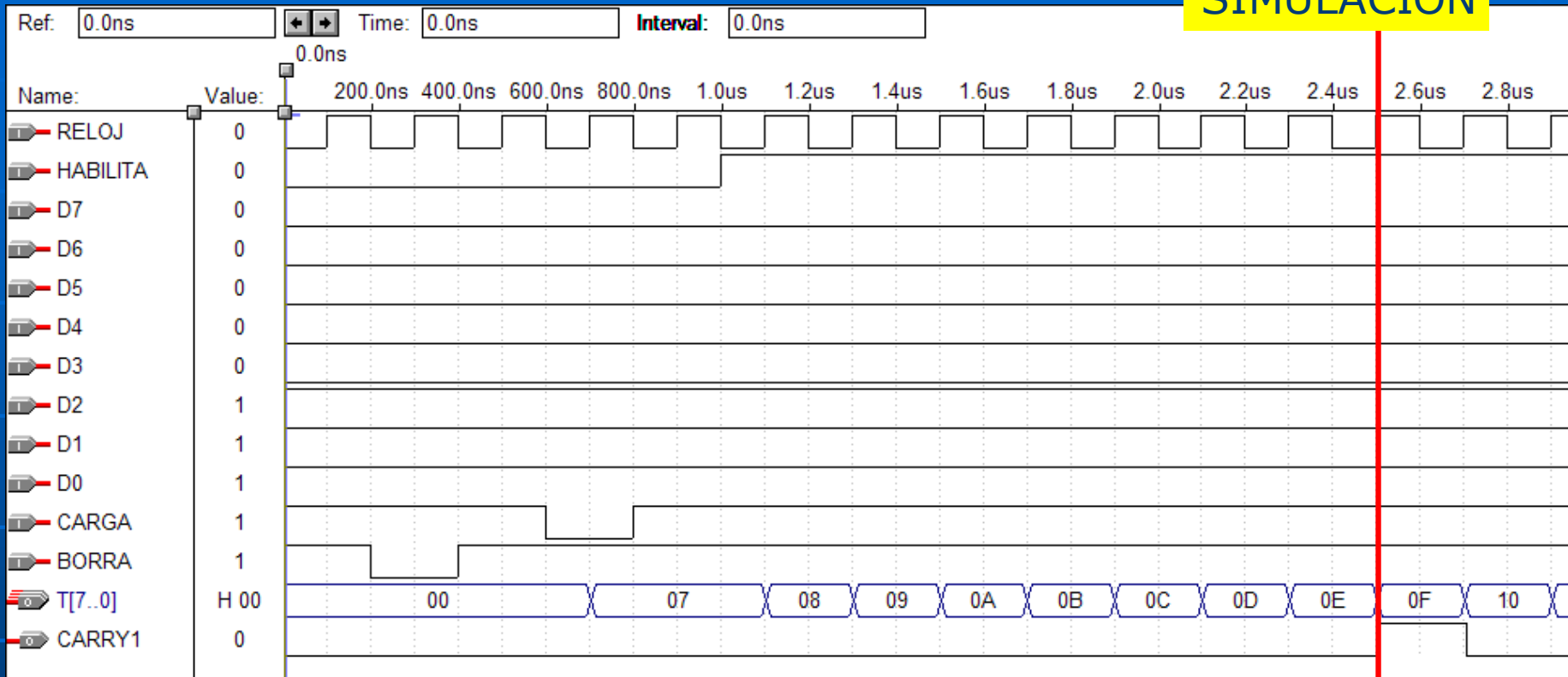
CONTADOR MÓDULO 11

CASCADA DE CONTADORES. Ejemplo con el 74163



CASCADA DE CONTADORES. Ejemplo con el 74163

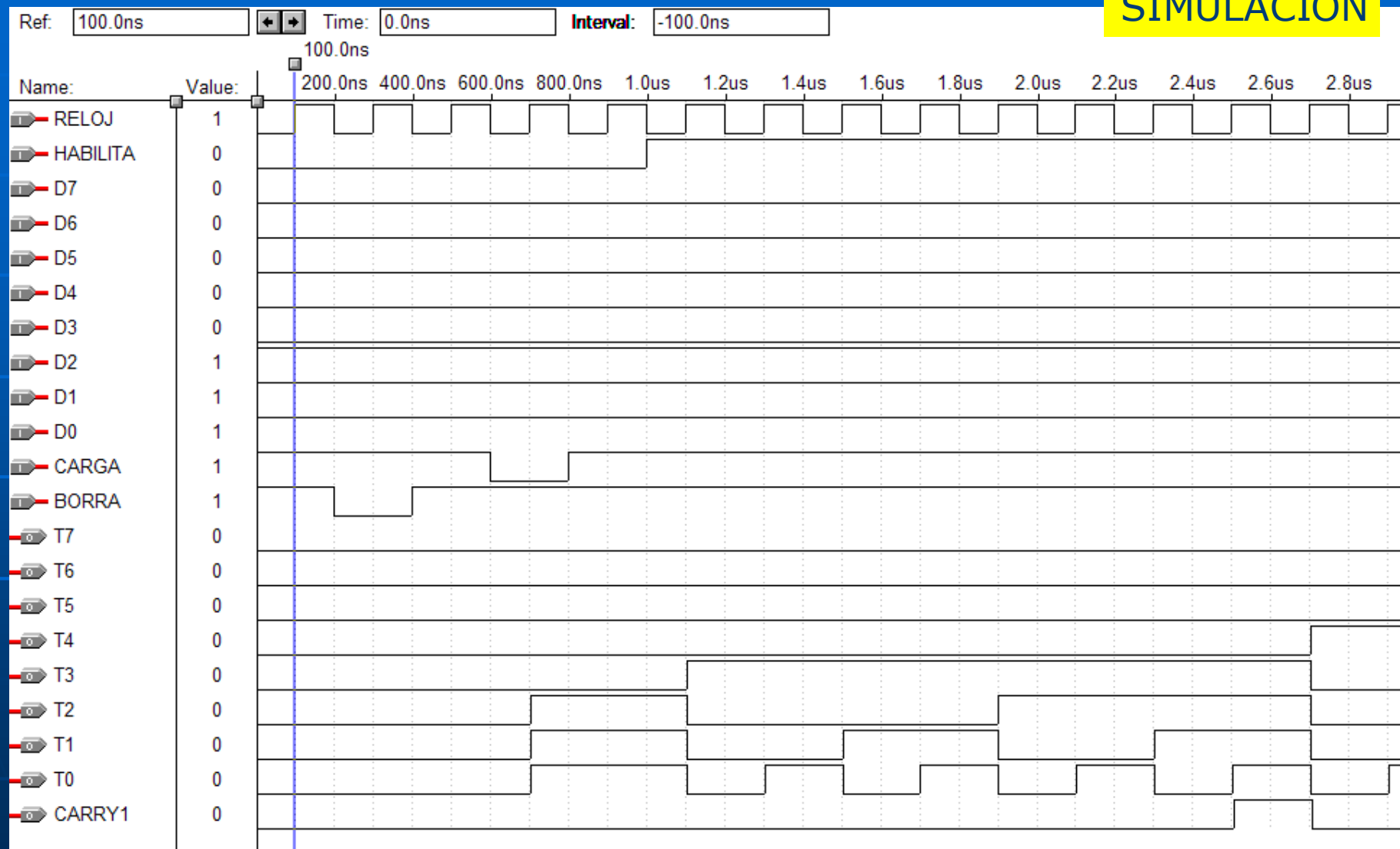
SIMULACIÓN



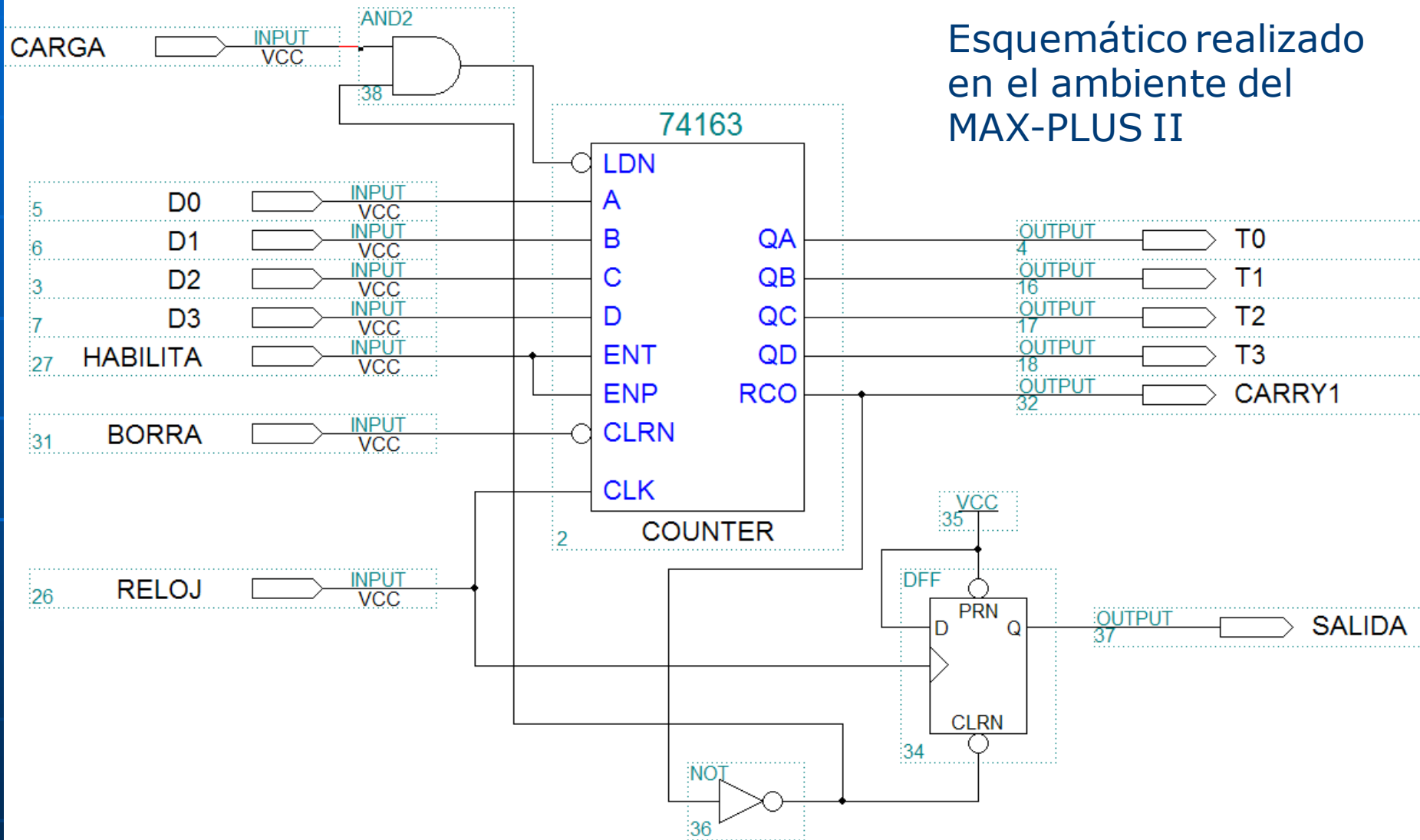
En esta simulación se carga primero a los contadores con "07" en hexa. Se puede observar que a los 2,5 us aparece el carry del primer contador el cual habilita en un ciclo de reloj al segundo contador para que cuente un conteo.

CASCADA DE CONTADORES. Ejemplo con el 74163

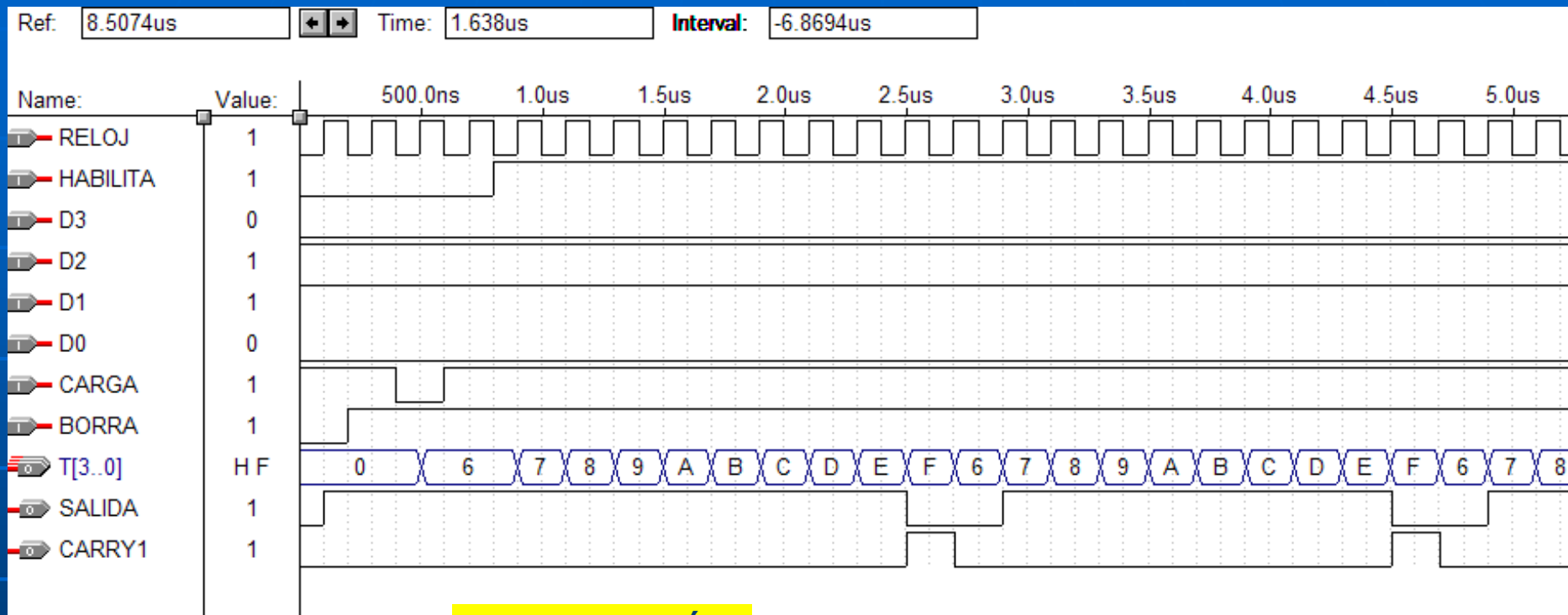
SIMULACIÓN



Ejemplo de aplicación: Generador de pulsos con ciclo de trabajo programable



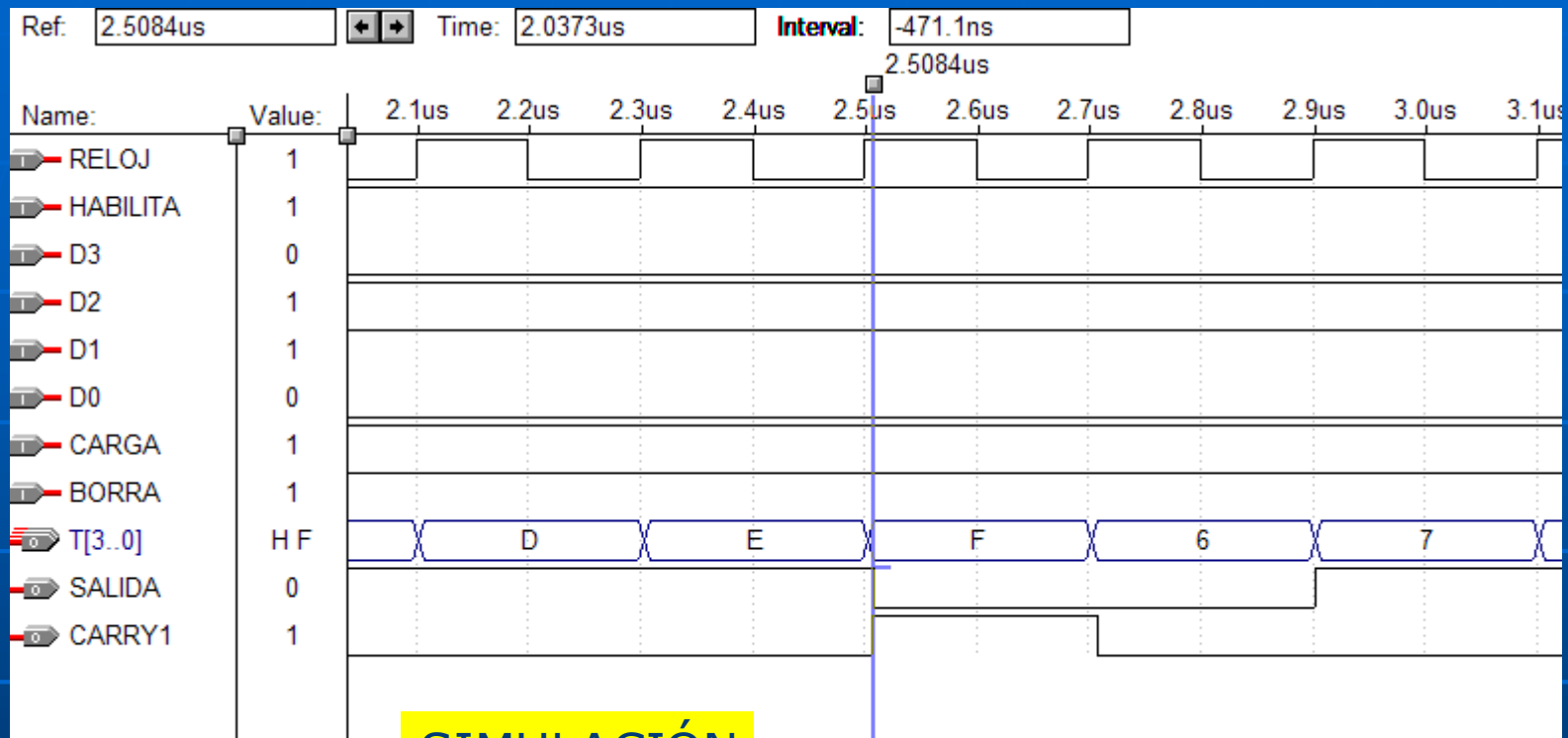
Ejemplo de aplicación: Generador de pulsos con ciclo de trabajo programable



SIMULACIÓN

Aquí el contador se carga en cada ciclo de conteo con el número "6". La salida del FF está en alto desde "6" hasta "15" y baja cuando el contador llega a su conteo máximo. El ciclo es repetitivo.

Ejemplo de aplicación: Generador de pulsos con ciclo de trabajo programable

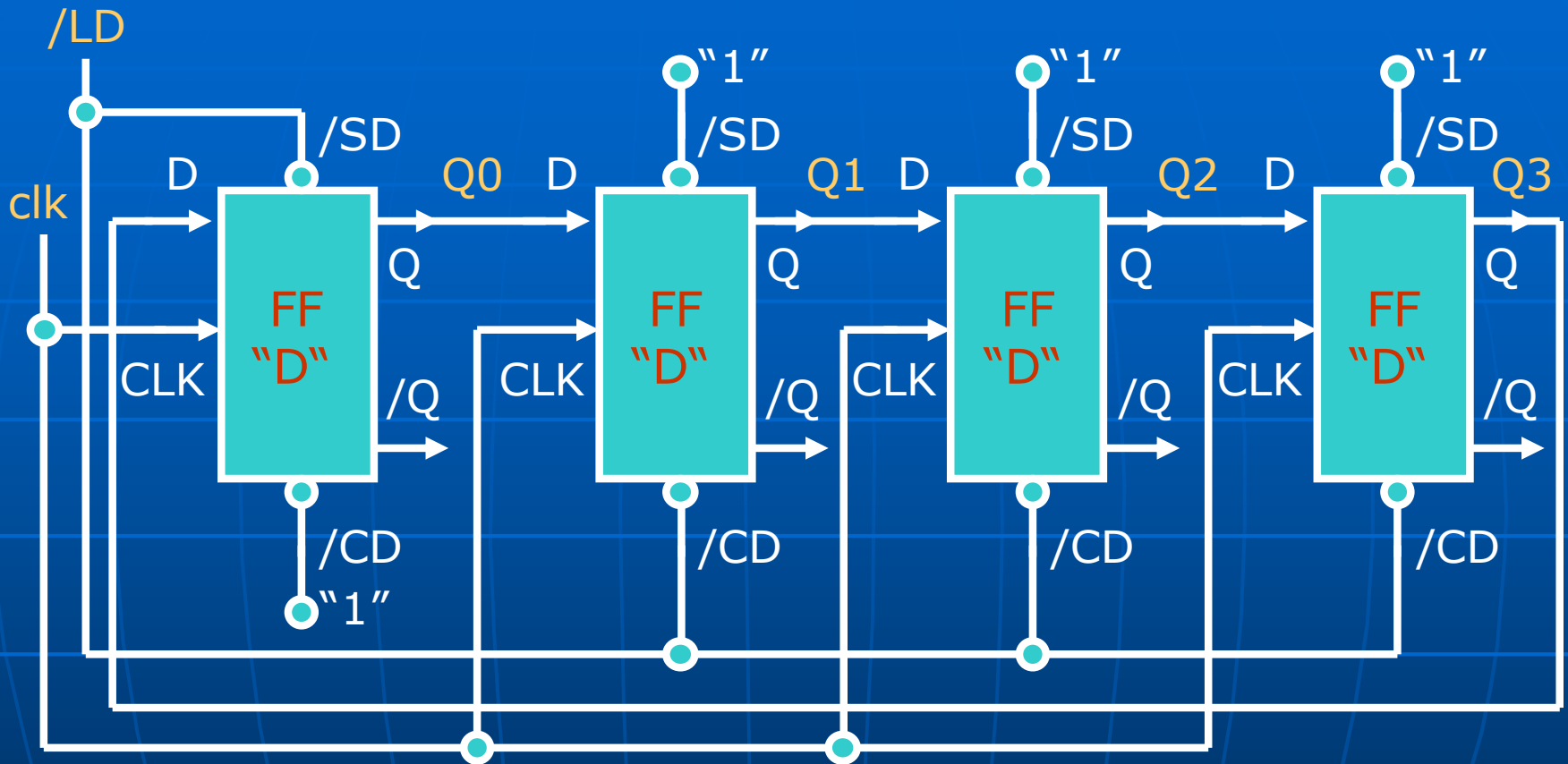


SIMULACIÓN

ZOOM de la zona donde ocurre el desborde en el contador y obliga al FF a resetearse.

PORQUÉ DURA 2 CICLOS DE CLK LA SALIDA EN BAJO ??

CONTADOR EN ANILLO

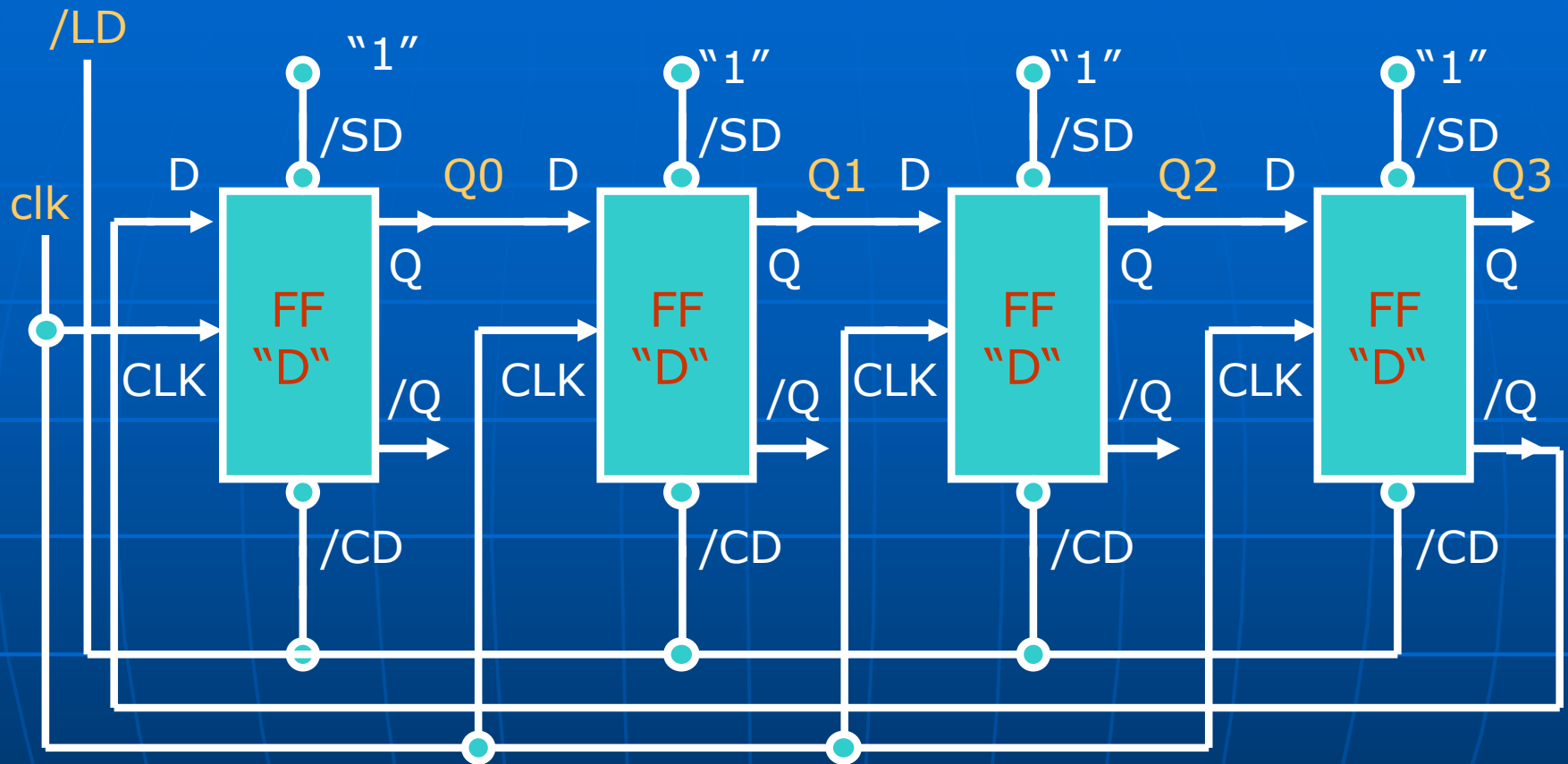


Este contador está formado por una cascada de FFs tipo "D". Existe una realimentación entre la salida de Q3 y D0. La entrada /LD es para realizar una carga de datos en cada FF. Al bajar y subir esta línea las salidas quedan: $Q0=1$; $Q1=Q2=Q3=0$.

DIAGRAMAS DE TIEMPOS DEL CONTADOR



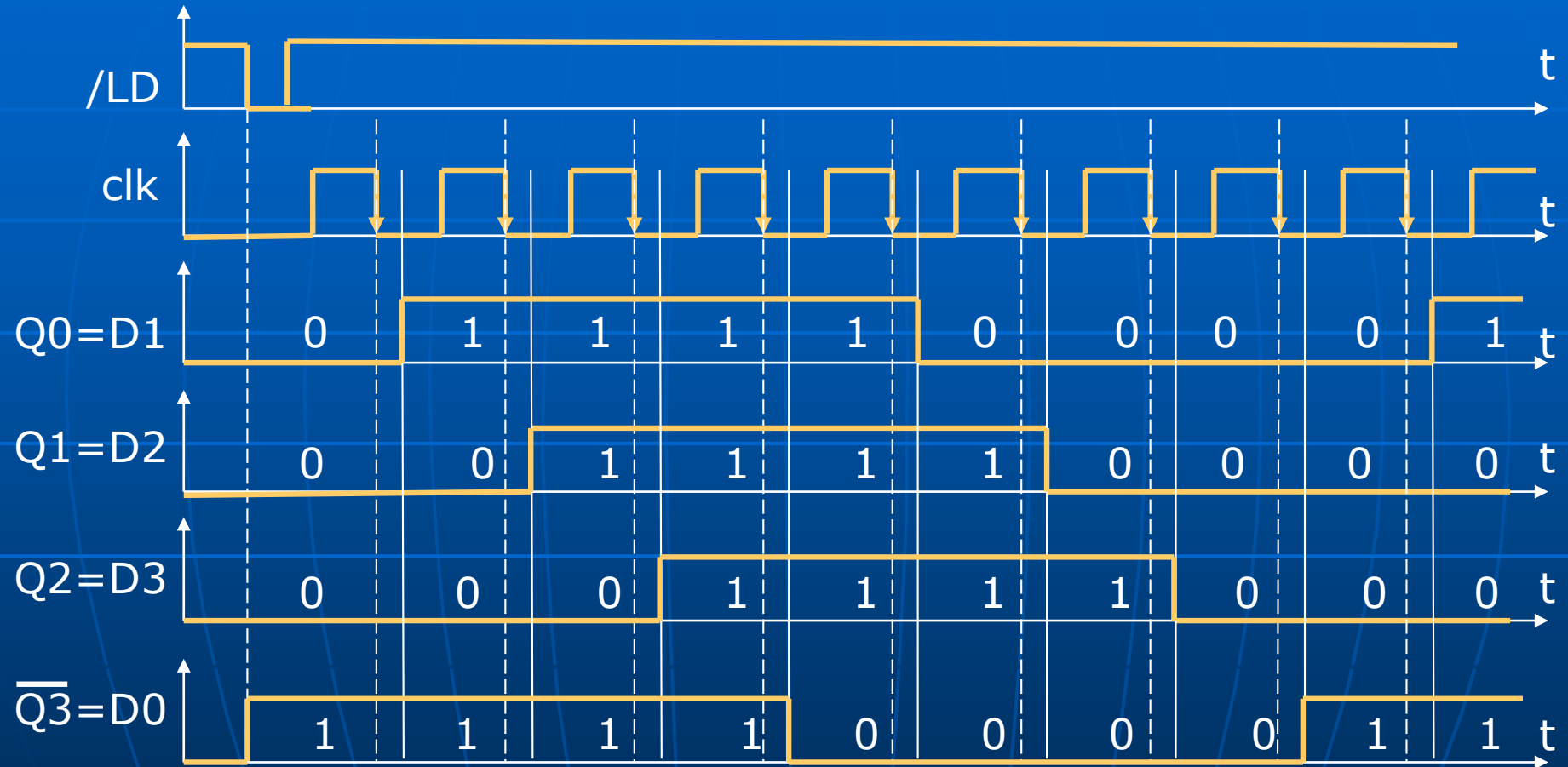
CONTADOR JOHNSON



Este contador está formado por una cascada de FFs tipo "D". Existe una realimentación entre la salida de $/Q3$ y $D0$. La entrada $/LD$ es para realizar una carga de datos en cada FF. Al bajar y subir esta línea las salidas quedan: $Q0=1$; $Q1=Q2=Q3=0$.

CONTADOR JOHNSON

DIAGRAMAS DE TIEMPOS DEL CONTADOR



UN CONTADOR JOHNSON DE "N" BITS TIENE UN CICLO DE "2N" CONTEOS

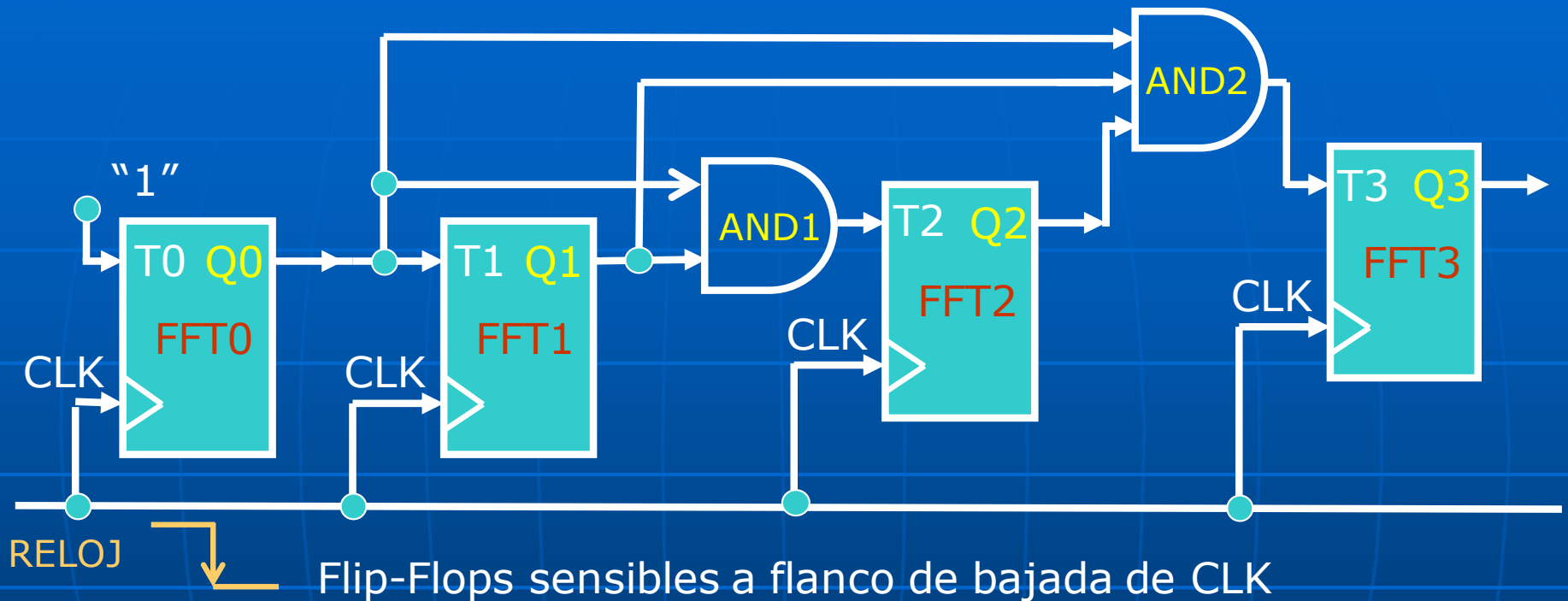
Anexo Contadores

Cálculo de $F_{\text{máx}}$ en Circuitos Sincrónicos

Técnicas Digitales
2020



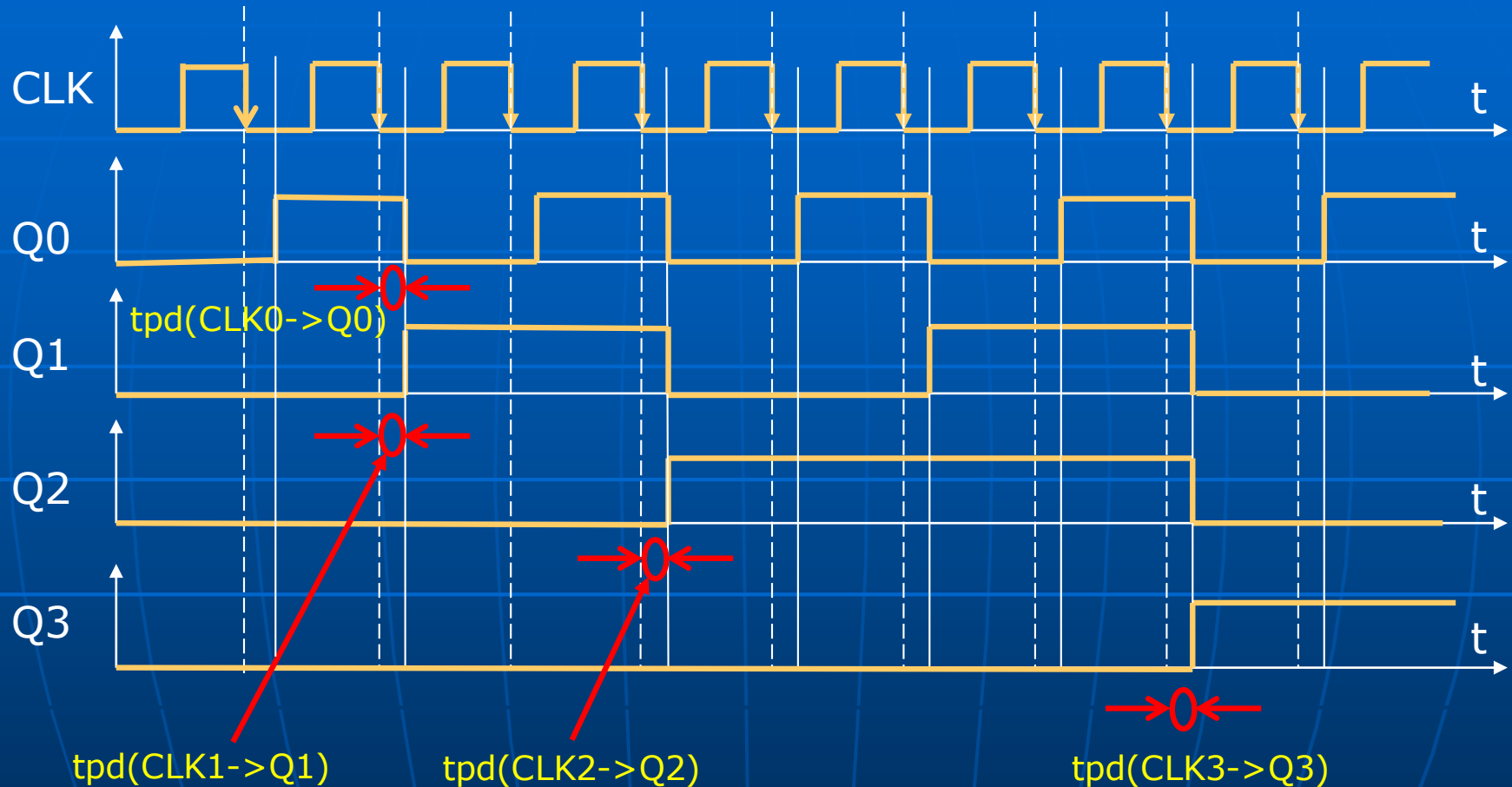
CONTADOR BINARIO PROGRESIVO DE 4 BITS



Q0 cambia de estado cada vez que haya un flanco de bajada en CLK (entrada T siempre en "1").
Q1 cambia de estado cada vez que T1=Q0 esté en "1".
Q2 cambia de estado cada vez que T2 esté en "1" (cuando Q0 y Q1 ambos en "1").
Q3 cambia de estado cada vez que T3 esté en "1" (cuando Q0, Q1 y Q2 estén todos en "1").



CONTADOR BINARIO PROGRESIVO DE 4 BITS DIAGRAMAS DE TIEMPOS

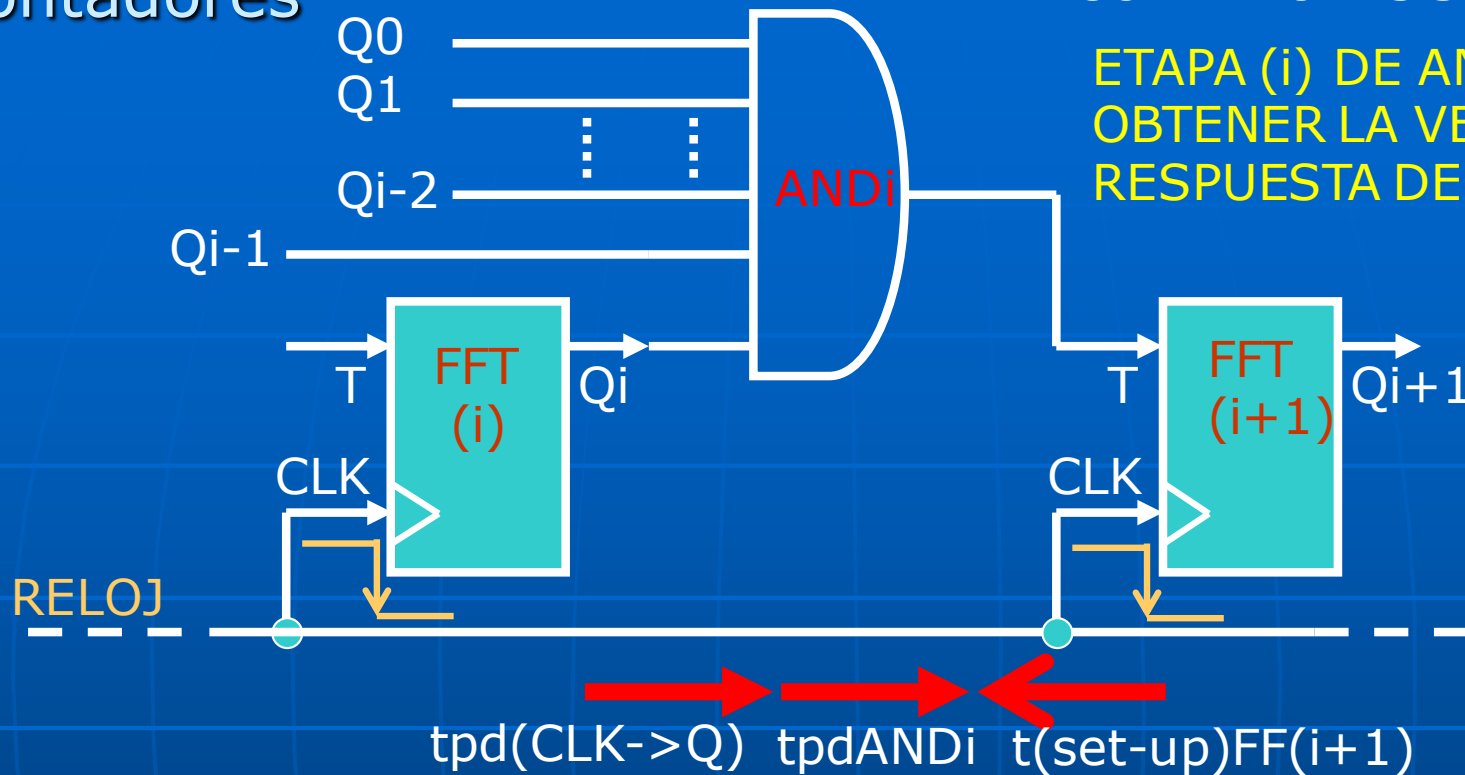


Suponiendo que todos los FFs tengan la misma velocidad de respuesta a la salida (mismos valores de $t_{pd}(CLK \rightarrow Q)$), los Q cambian al mismo tiempo cada vez que aparece el flanco de bajada de CLK.



Contadores

CONTADORES SINCRÓNICOS



Hemos supuesto que todos los FFs tienen los mismos $tpd(CLK \rightarrow Q)$ y $T(set-up)$. Todas las AND con el mismo tiempo de retardo.

La entrada T del $FF(i+1)$ debe estar estable antes del próximo flanco de reloj. Eso implica que desde el flanco anterior deberían haberse sucedido los retardos correspondientes con un valor total que dicha entrada sea estable al menos un tiempo de "set-up" antes del arribo de ese nuevo flanco.

Para que el $FF(i+1)$ cambie, debe recibir un "1" en su entrada. Eso quiere decir que todos los Q anteriores deben ser "1".

La cadena de retardo que se sucede es: 1) cambio de los Q al detectar un flanco, 2) cambio de la compuerta AND_i al recibir todos los Q en "1".

Todo esto en un tiempo igual o menor que $T_{clk} - t(set-up)$



Cálculo de la velocidad de respuesta:

Sin importar el número de bits que tenga el contador binario anterior (a partir de 3 bits en adelante que es cuando se requiere el uso de compuertas) podemos calcular la velocidad de respuesta en forma similar a lo hecho con el ejemplo del diseño del FF "JK" basado en un MUX y un FF tipo "D" visto en la clase de Flip-Flops.

Analizando la figura del contador anterior se puede observar que todas las salidas de los FFs cambian en el mismo instante.

Esto genera en el FF siguiente que su entrada estará estable recién después de un dado tiempo de retardo en que reaccione la compuerta AND que lo antecede (salvo el FF0 y FF1 que no tienen compuerta en sus entradas T).

Por lo tanto la velocidad de respuesta está definida por la suma de los retardos: $t_{pd}(\text{CLK} \rightarrow Q) + t_{pd}(\text{AND}) + t(\text{set-up})$ ya que antes del próximo flanco de reloj que venga, la entrada de cada FF debe estar estable y esto implica que debe ocurrir un $t(\text{set-up})$ previo a dicho flanco de CLK.

El análisis se debe hacer en la entrada de cada uno de los Flip-Flops.

En el ejemplo hay dos FFs que tienen una compuerta a su entrada. Se debe tomar el peor caso ya que las AND pueden tener diferente tiempo de retardo.

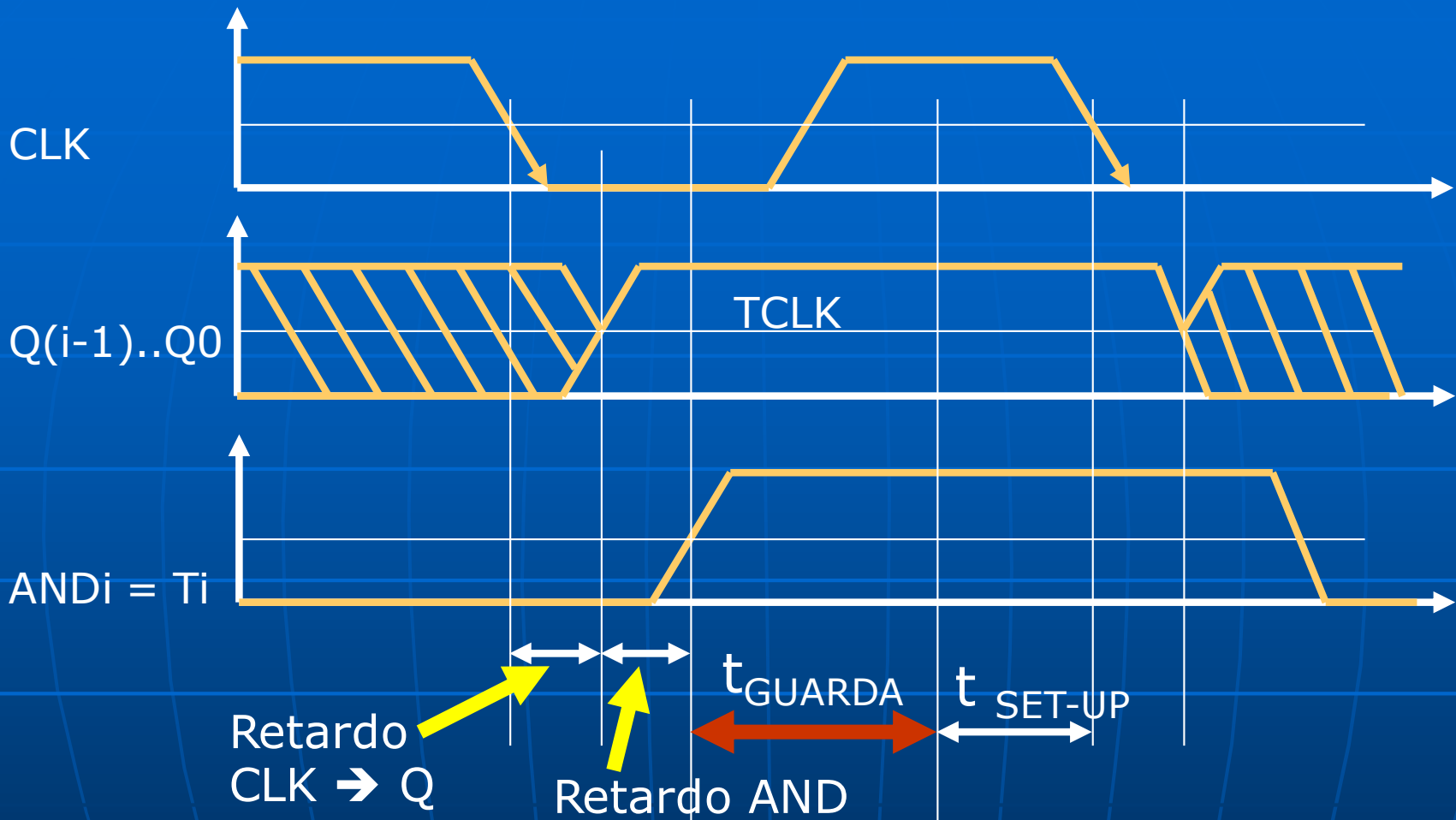
Por simplicidad estamos asumiendo que:

Todos los FFs tienen los mismos $t_{pd}(\text{CLK} \rightarrow Q)$ y los mismo tiempos de SET-UP y que todas las compuertas tienen el mismo tiempo de retardo.

En la realidad esto no es así. En tal caso habrá que considerar la peor condición para la entrada de cada FF.

La peor condición será en aquella etapa donde $t_{pd}(\text{CLK} \rightarrow Q) + t_{pd}(\text{AND}) + t(\text{set-up})$ sea mayor.

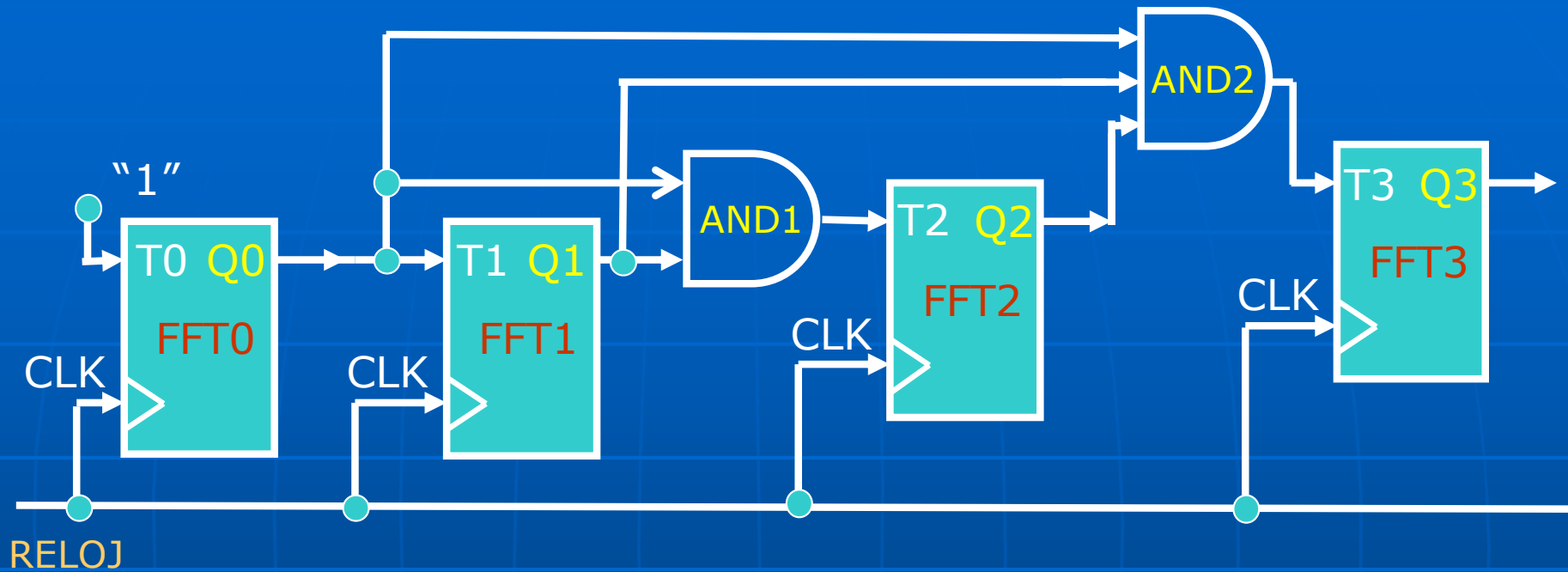




$$\text{Frec. CLK (máx)} = \frac{1}{t_{pd}(\text{CLK} \rightarrow Q) + t_{\text{SET-UP}} + t_{pd_{\text{AND}}}}$$

($t_{\text{GUARDA}} = 0$)





Caso 1: $tpd_{(CLK \rightarrow Q0,1,2,3)} = 20ns$ $t_{SET-UP0,1,2,3} = 10ns$

$tpd_{AND1} = 15ns$ $tpd_{AND2} = 20ns$

Peor condición: $tpd_{(CLK \rightarrow Q)} + t_{SET-UP} + tpd_{AND2} = 20ns + 10ns + 20ns$

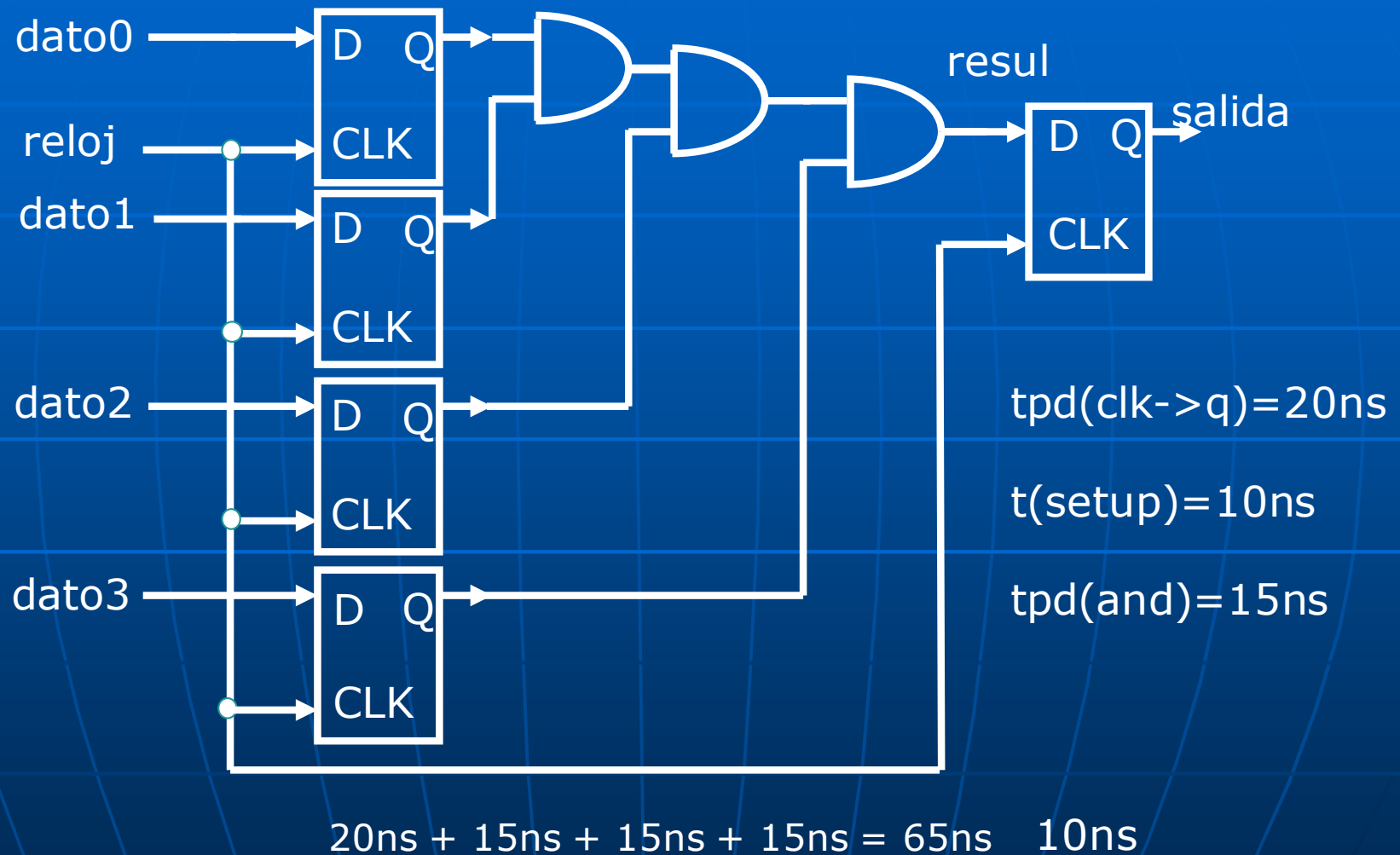
Caso 2: $tpd_{(CLK \rightarrow Q0,Q1,Q3)} = 20ns$ $tpd_{(CLK \rightarrow Q2)} = 25ns$

$t_{SET-UP0,1,2,3} = 10ns$ $tpd_{AND1,2} = 20ns$

Peor condición: $tpd_{(CLK \rightarrow Q2)} + t_{SET-UP} + tpd_{AND} = 25ns + 10ns + 20ns$



Reordenamiento del circuito para aumentar la frecuencia máxima de trabajo

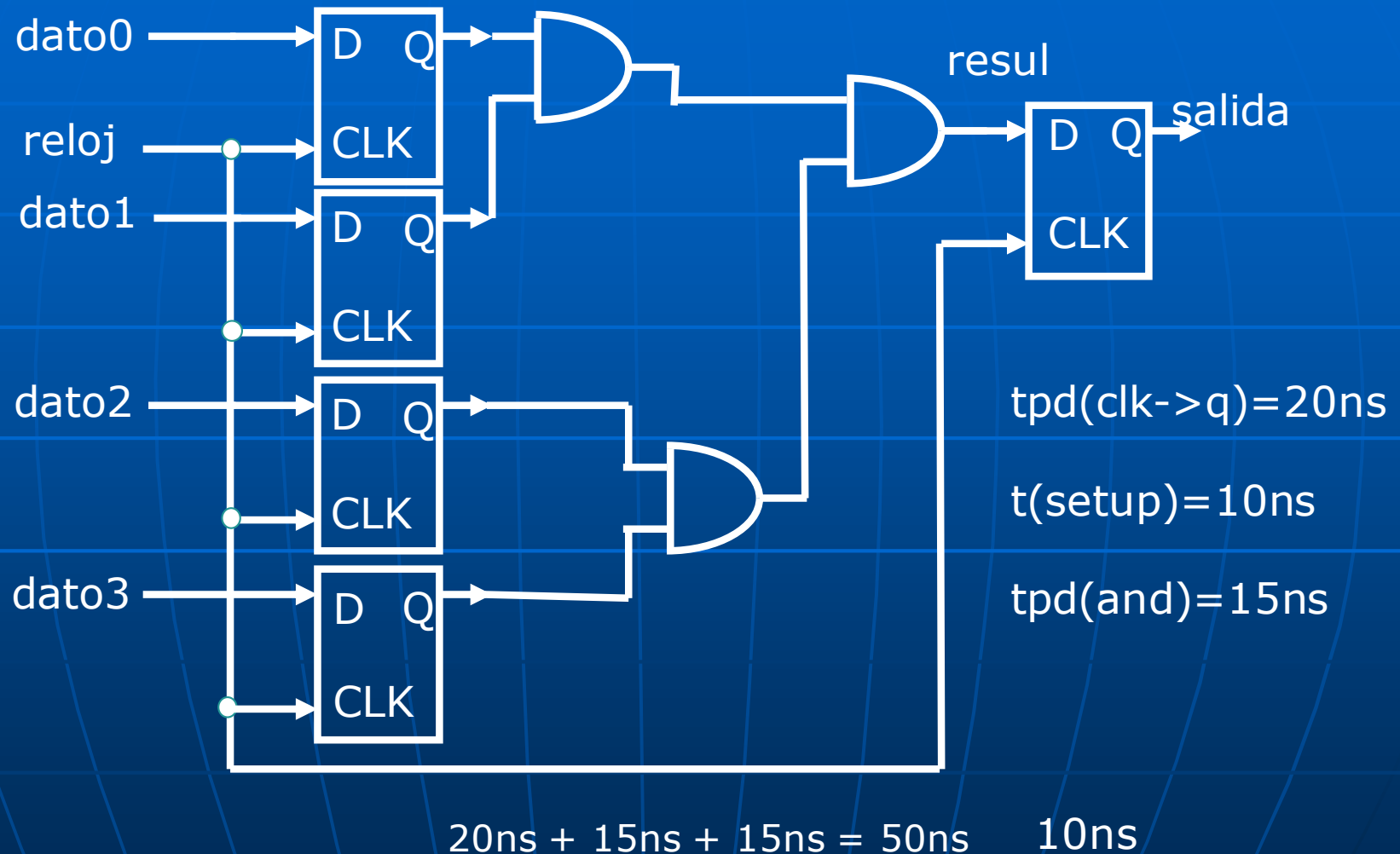


$$F_{\text{máx}} = 13,33 \text{ MHz}$$



Reordenamiento del circuito para aumentar la frecuencia máxima de trabajo

Solución

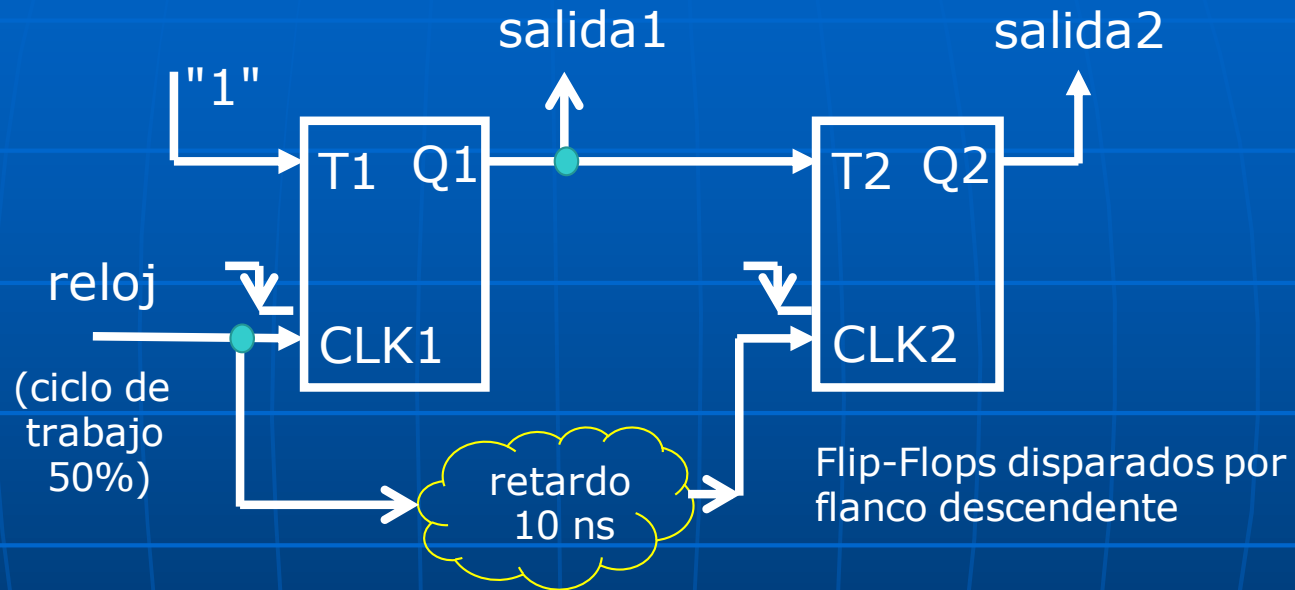


$F_{m\acute{a}x} = 16,66 \text{ MHz}$



EJEMPLO DE LIMITACIONES POR RETARDOS EN LA SEÑAL DE RELOJ

CONTADOR BINARIO DE 2 BITS



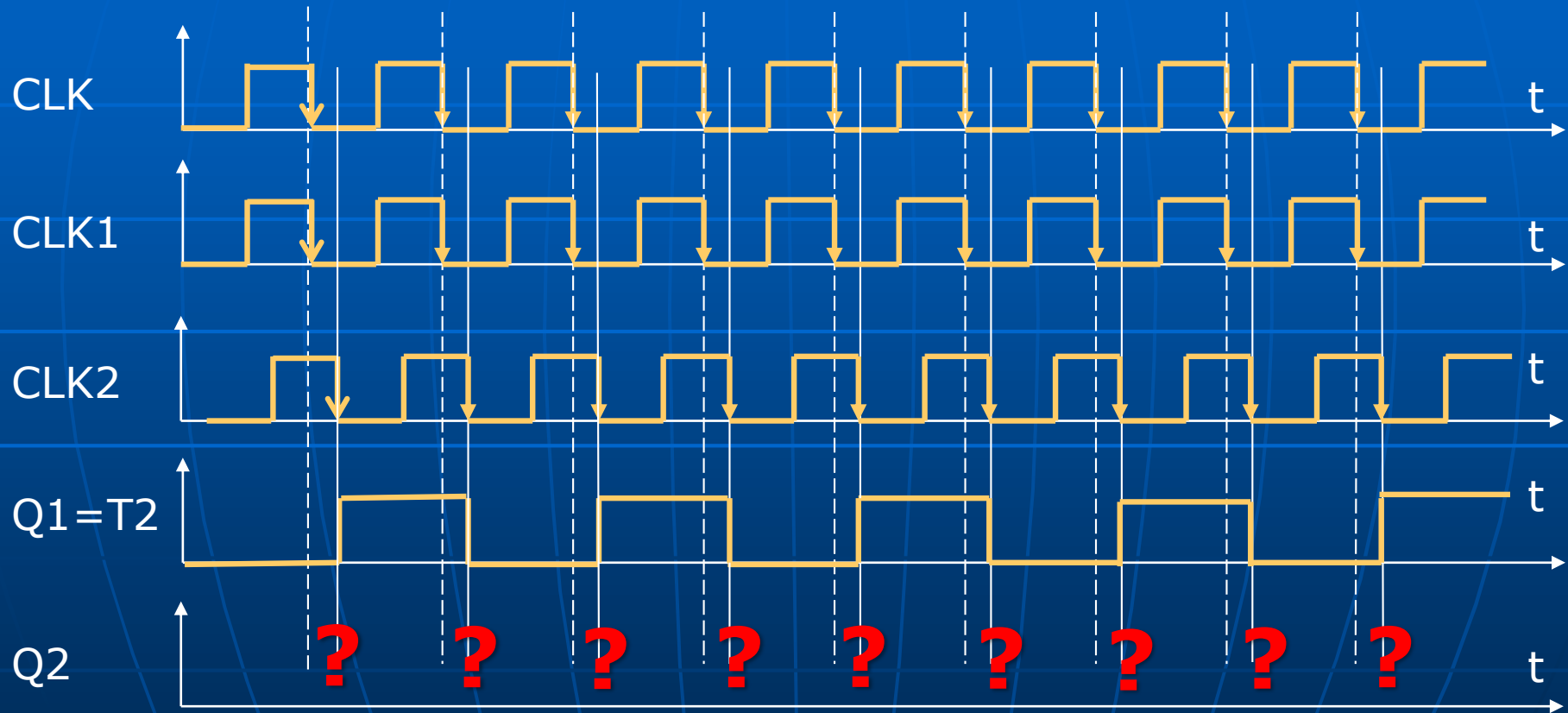
Para ambos FF's $\Rightarrow t(\text{set-up}) = 10 \text{ ns}$; $t_{\text{hold}} = 10 \text{ ns}$; $t_{\text{pd}}(\text{clk} \rightarrow \text{Q}) = 10 \text{ ns}$



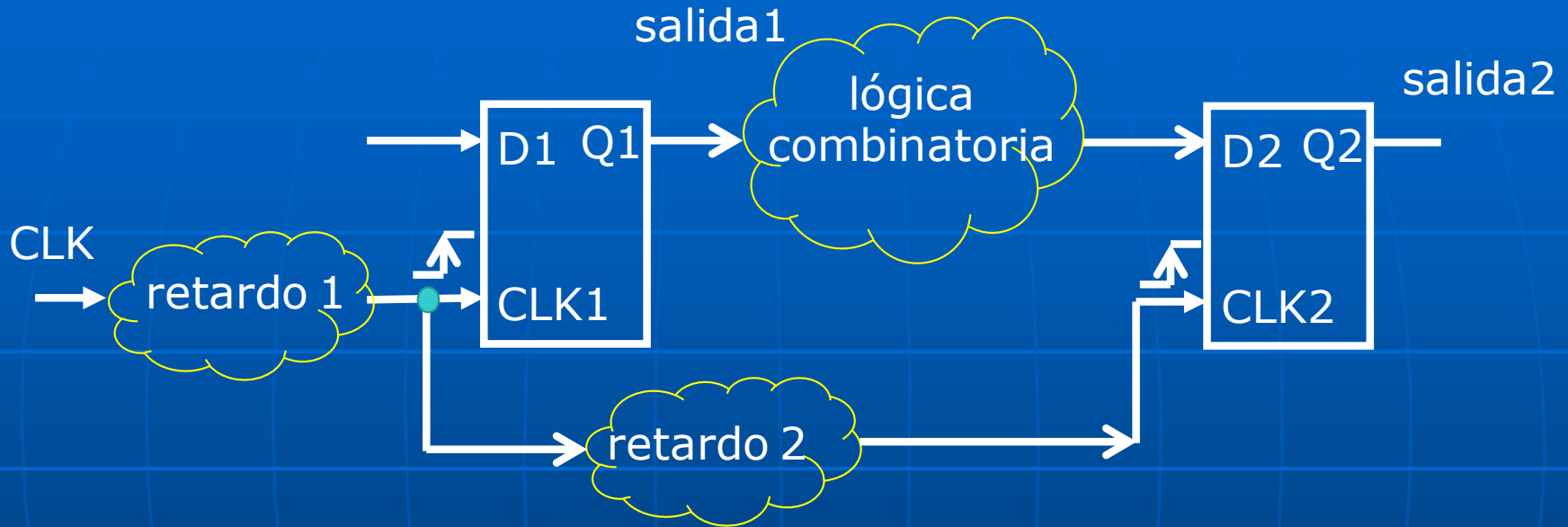
EJEMPLO DE LIMITACIONES POR RETARDOS EN LA SEÑAL DE RELOJ

CONTADOR BINARIO DE 2 BITS

DIAGRAMAS DE TIEMPOS



LIMITACIONES POR RETARDOS EN LA SEÑAL DE RELOJ Y EN FLUJO DE DATOS



Los Flip-Flops son disparados por flanco ascendente de sus respectivos relojes que se encuentran desfasados por retardos internos. Lo mismo sucede con el flujo de datos donde la salida del FF1 es retrasada por la lógica combinatoria que define la función lógica a la entrada del FF2.

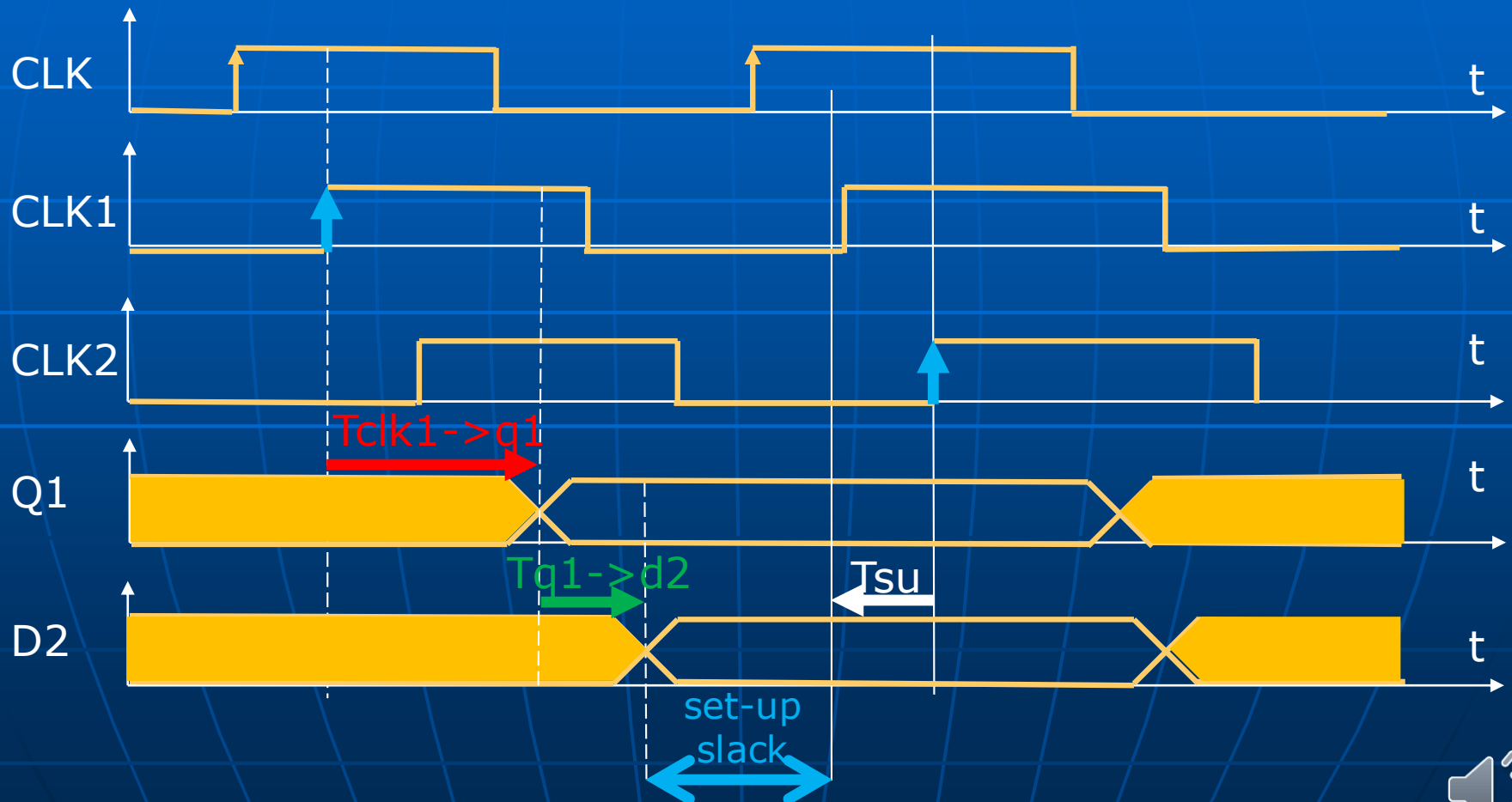
Se debe garantizar que los retardos no interfieran con los tiempos de SET-UP y de HOLD que el FF2 debe cumplir.



LIMITACIONES POR RETARDOS EN LA SEÑAL DE RELOJ Y EN FLUJO DE DATOS

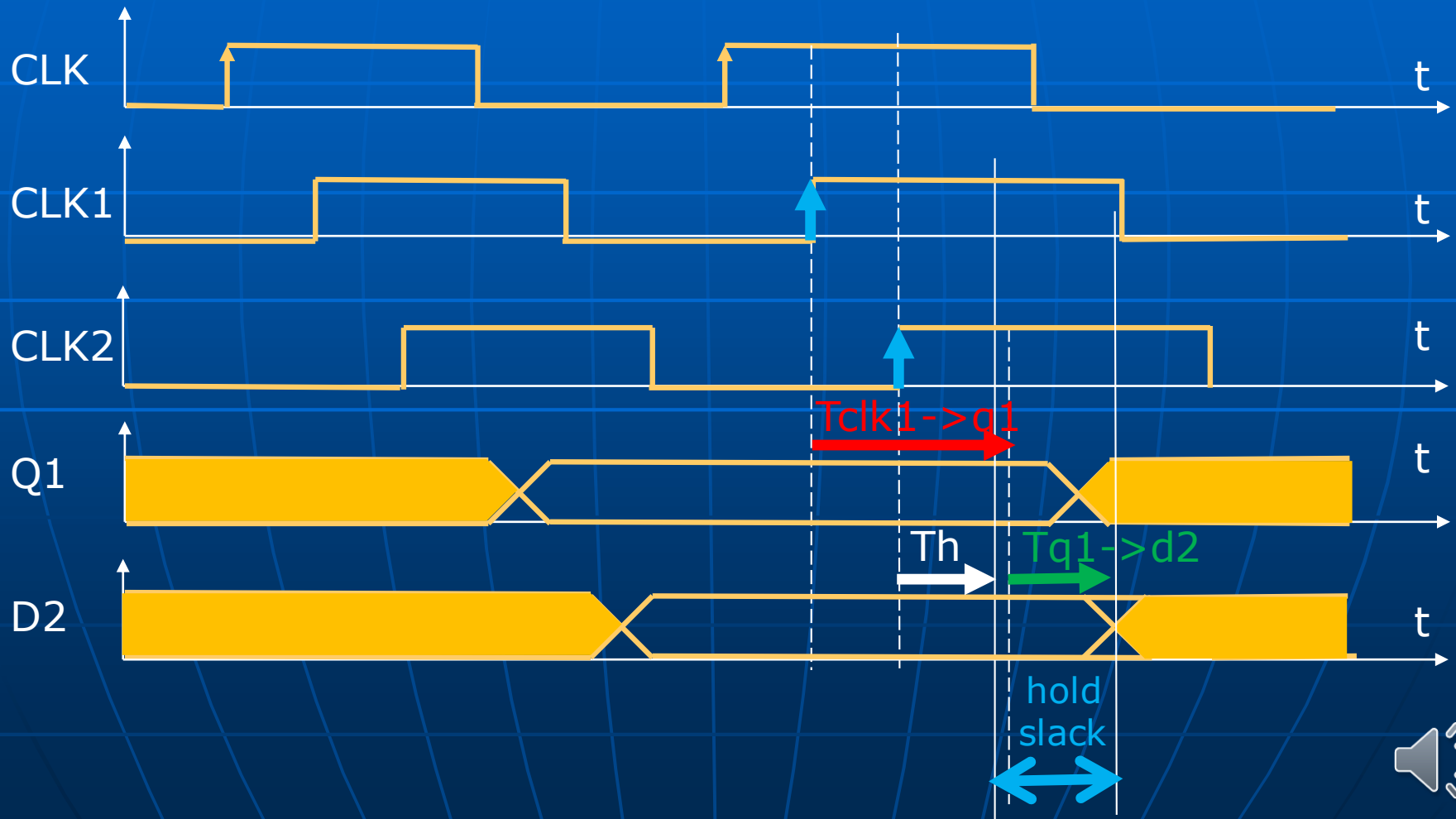
SET-UP SLACK

DIAGRAMAS DE TIEMPOS



LIMITACIONES POR RETARDOS EN LA SEÑAL DE RELOJ Y EN FLUJO DE DATOS

HOLD SLACK DIAGRAMAS DE TIEMPOS



Bibliografía:

Apuntes de teoría:

- "Contadores". S. Noriega.

Libros:

- "Sistemas Digitales". R. Tocci, N. Widmer, G. Moss. Ed. Prentice Hall.
- "Diseño Digital". M. Morris Mano. Ed. Prentice Hall. 3ra edición.
- "Diseño de Sistemas Digitales". John Vyemura. Ed. Thomson.
- "Diseño Lógico". Antonio Ruiz, Alberto Espinosa. Ed. McGraw-Hill.
- "Digital Design: Principles & Practices". John Wakerly. Ed. Prentice Hall.
- "Diseño Digital". Alan Marcovitz. Ed. McGraw-Hill.
- "Electrónica Digital". James Bignell, R. Donovan. Ed. CECSA.
- "Técnicas Digitales con Circuitos Integrados". M. Ginzburg.
- "Fundamentos de Diseño Lógico y Computadoras". M. Mano, C. Kime. Ed. Prentice Hall.
- "Teoría de conmutación y Diseño lógico". F. Hill, G. Peterson. Ed. Limusa
- "Manuales de CMOS de alta velocidad de Motorola, Texas Instruments, Fairchild, etc."